



**KAPITAŁ LUDZKI**  
NARODOWA STRATEGIA SPÓJNOŚCI

**UNIA EUROPEJSKA**  
EUROPEJSKI  
FUNDUSZ SPOŁECZNY



## **„Układy reprogramowalne i SoC” „Wprowadzenie”**

Prezentacja jest współfinansowana przez  
Unię Europejską w ramach  
Europejskiego Funduszu Społecznego w projekcie pt.

*„Innowacyjna dydaktyka bez ograniczeń - zintegrowany rozwój Politechniki Łódzkiej -  
zarządzanie Uczelnią, nowoczesna oferta edukacyjna i wzmacniania zdolności do  
zatrudniania osób niepełnosprawnych”*

Prezentacja dystrybuowana jest bezpłatnie

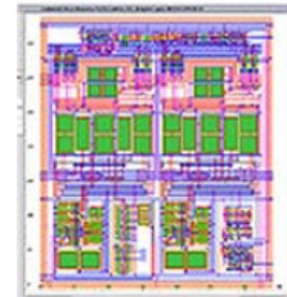


## Wprowadzenie

- Postęp technologii
  - Dzisiejsze układy scalone mogą zawierać setki milionów tranzystorów
  - Tranzystory mają bramki o długości rzędu nanometrów
  - Średnio co ok. 18 miesięcy liczba tranzystorów w układzie scalonym podwaja się - prawo Moore'a
- Konsekwencje
  - Elementy uprzednio umieszczane na płytce drukowanej obecnie mogą zostać zintegrowane w postaci pojedynczego układu scalonego
  - Stąd koncepcja System-on-Chip



Od płytki drukowanej do SoC





## Co to jest SoC

- SoC = sprzęt + oprogramowanie
  - Sprzęt
    - Wbudowany procesor
    - "glue logic"
    - Peryferia
      - analogowe
      - cyfrowe
    - Pamięć
  - Oprogramowanie
    - System operacyjny, kompilator, symulator, sterowniki, stos protokołów, IDE

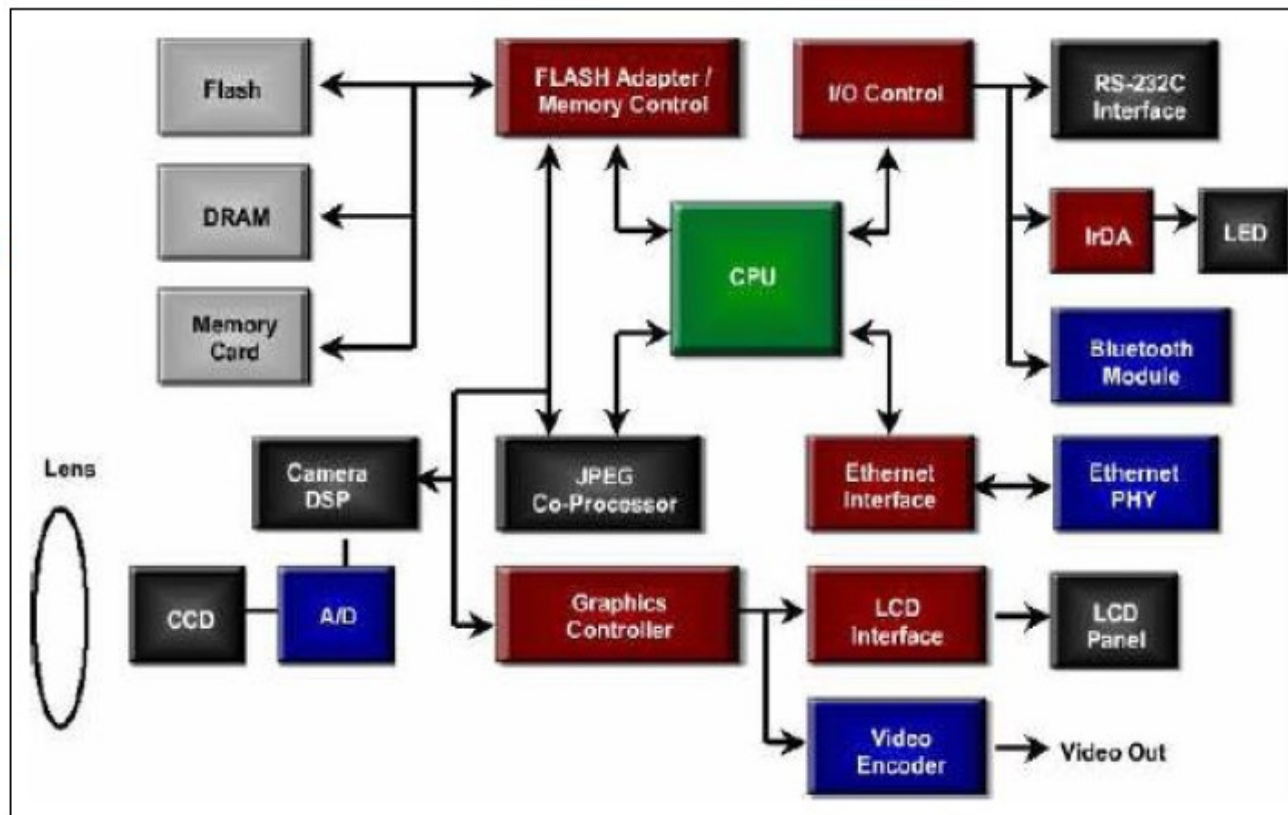
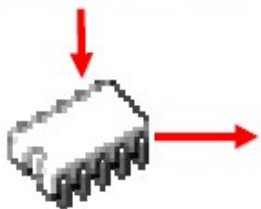




## Współprojektowanie sprzętu i oprogramowania

- Sprzęt (ASIC, FPGA)
  - Szybki
  - Ale bardzo drogi
- Oprogramowanie (Procesor)
  - Elastyczny
  - Ale powolny
- Sprzęt + oprogramowanie = dobre rozwiązanie?







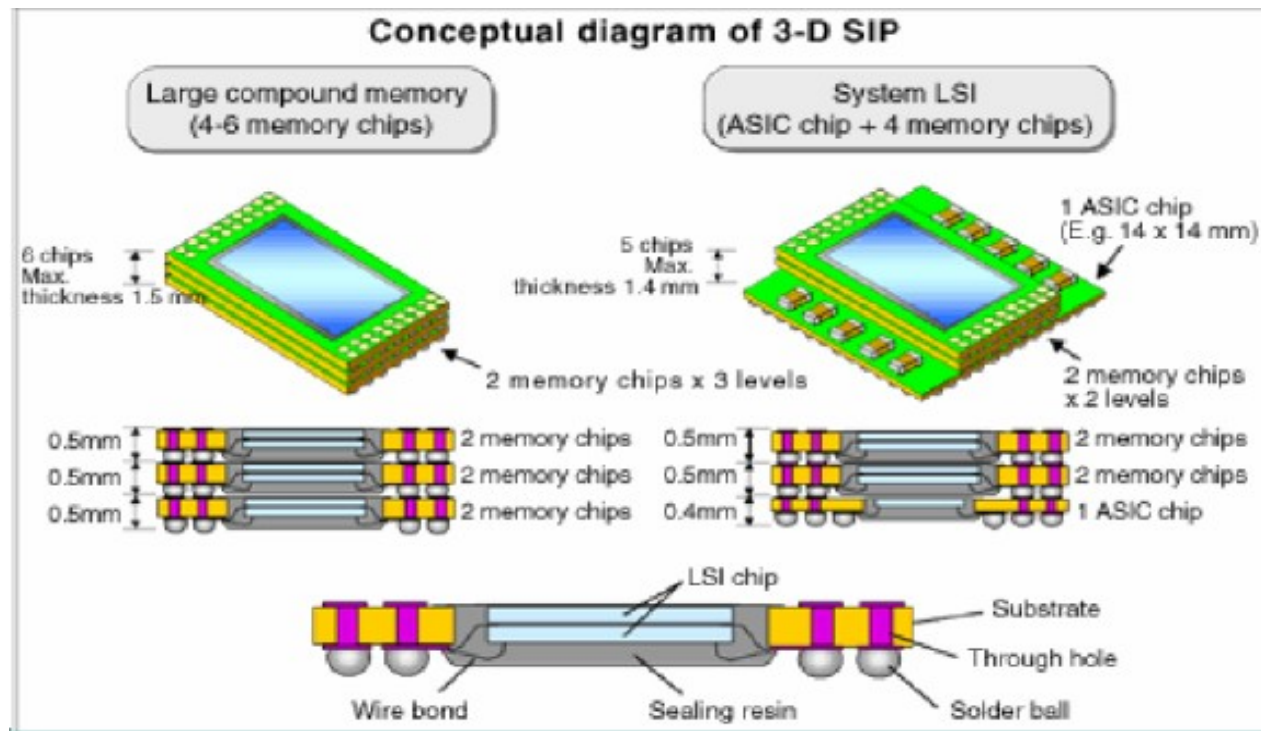
## Zalety SoC

- Mniej komponentów
  - Koszt elementów
  - Rozmiar i koszt płytki drukowanej
  - Koszt montażu i testowania
- Mniej połączeń między układami
  - niezawodność
  - Pobór mocy
  - Projekt płytki, koszt jej produkcji i montażu
- Mniejsza objętość i waga systemu
  - Większy stopień integracji
  - Mniejszy koszt obudowy
  - Niższe koszty transportu
- Mniejszy koszt układu przy dużej skali produkcji



## System on Package

- System-on-Package (SoP) lub System-in-Package (SiP) to zaawansowane technologie obudów uzupełniające SoC.





- System-on-a-Programmable Chip (SoPC) - termin wymyślony przez firmę Synopsys
- SoPC jest rozwiązaniem programowalnym przez użytkownika opartym na układach FPGA
  - P&R i programowanie wykonywane przez użytkownika
  - Natychmiastowa produkcja prototypu
  - Natychmiastowe rozpoczęcie masowej produkcji
  - Brak kosztów NRE (Non-recurring engineering)
- Testy produkcyjne wykonywane przez producenta układów programowalnych
  - Oszczędność czasu i zasobów w procesie projektowania
  - Szybkie i tanie modyfikacje



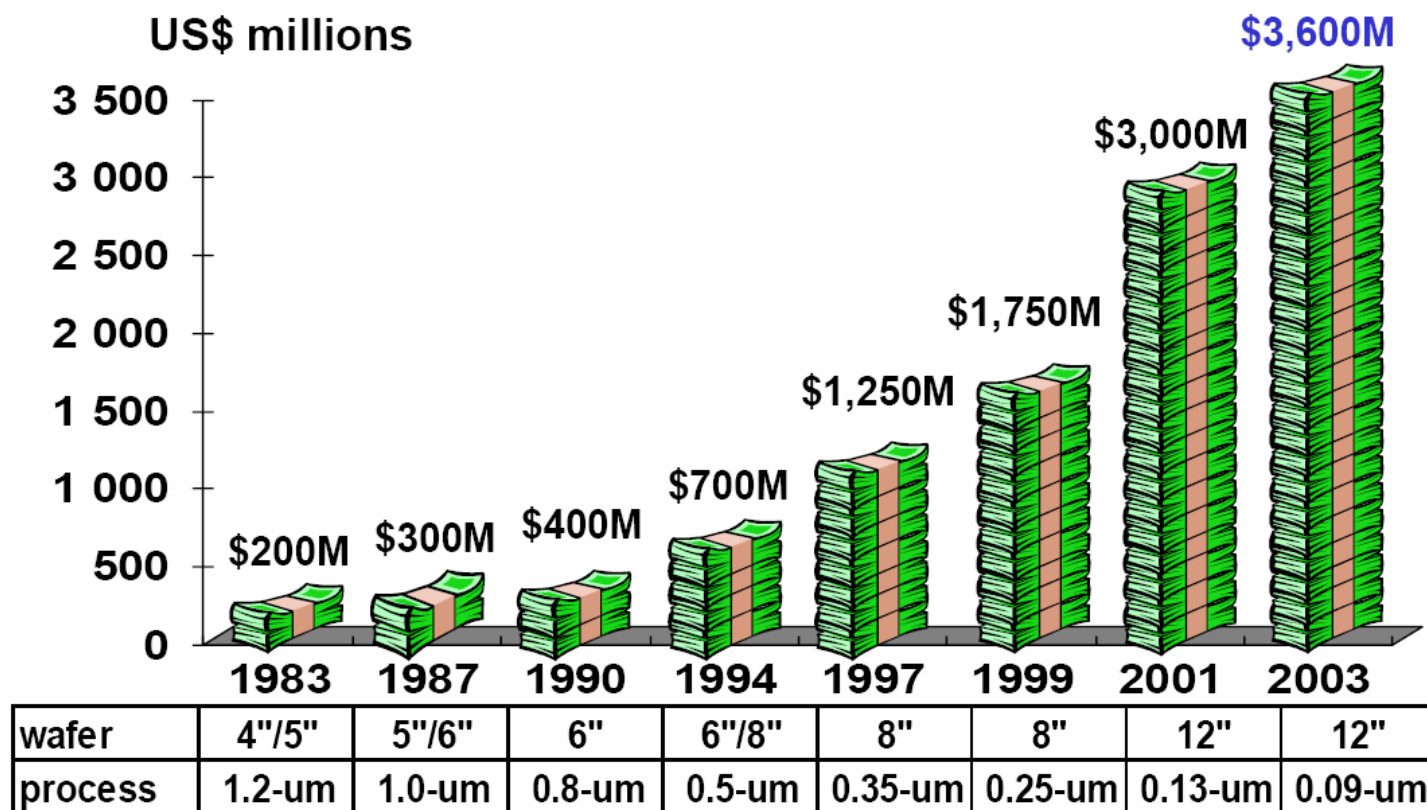


- Wytwarzanie SoC jest kosztowne
  - Coraz kosztowniejsze fabryki
  - Wzrastające koszty masek i precyzyjnej litografii
  - Dostawcy koncentrują się na dużych klientach z dużymi zamówieniami
  - Niewiele dostępnych usług MPW (Multi-Project Wafer) obniżających koszt prototypowania
  - Błędy kosztują dużo pieniędzy i czasu
  - Cykl prototypowania na pełnym waflu krzemowym może sięgać nawet 500,000 ... 1M €
- Rozwiązania typu FPGA ewoluują
  - Rdzenie procesorów wewnątrz układów
  - Pojemność wielu milionów bramek
  - Platformy SoC oparte na FPGA rozpowszechniają się coraz bardziej



## Koszt wybudowania fabryki półprzewodników

## Rising Fab Costs

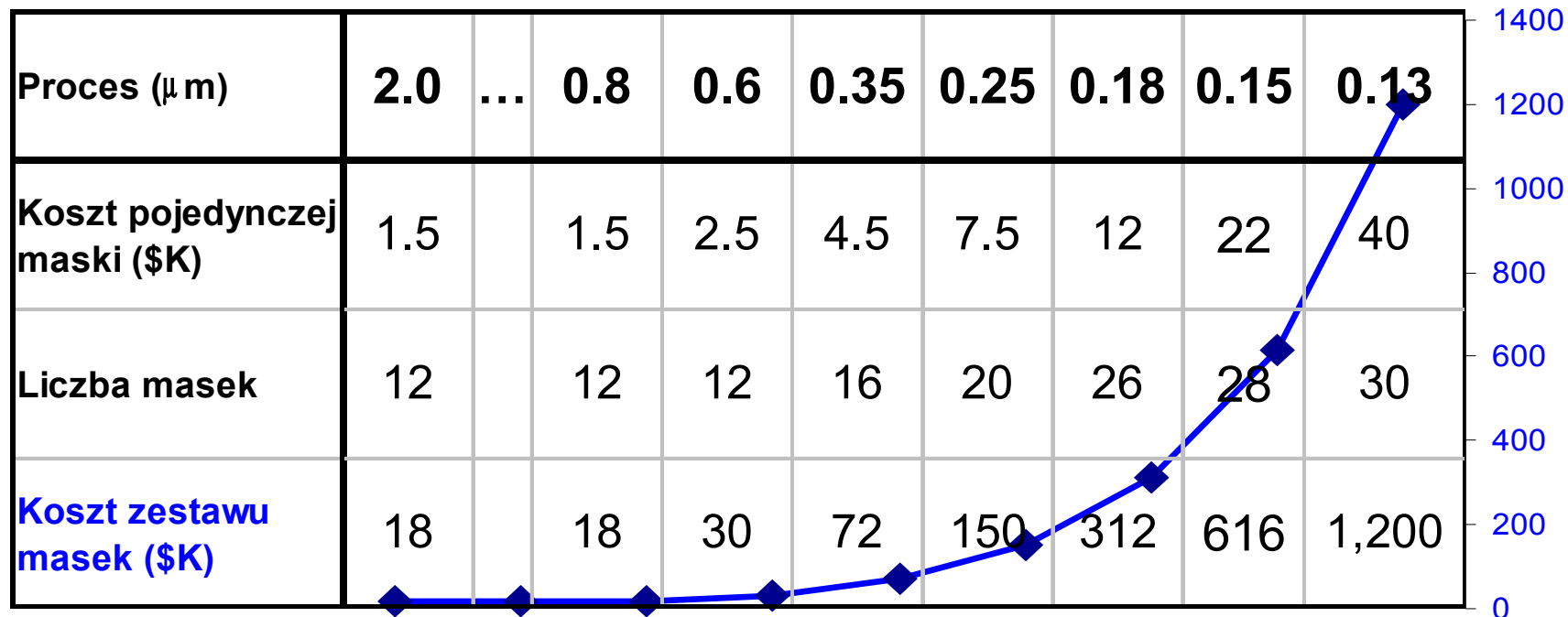


Source: Dataquest, UMC





## Koszt wyprodukowania zestawu masek

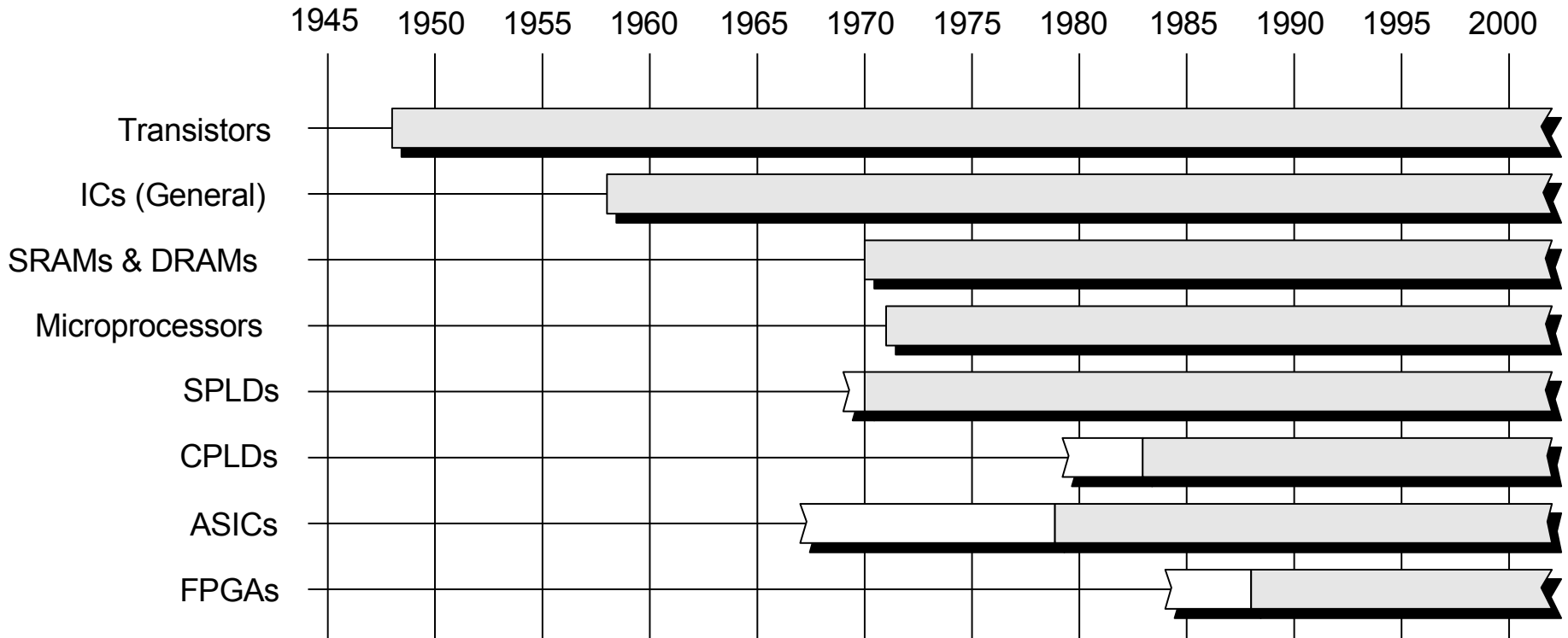


Źródło: eASIC





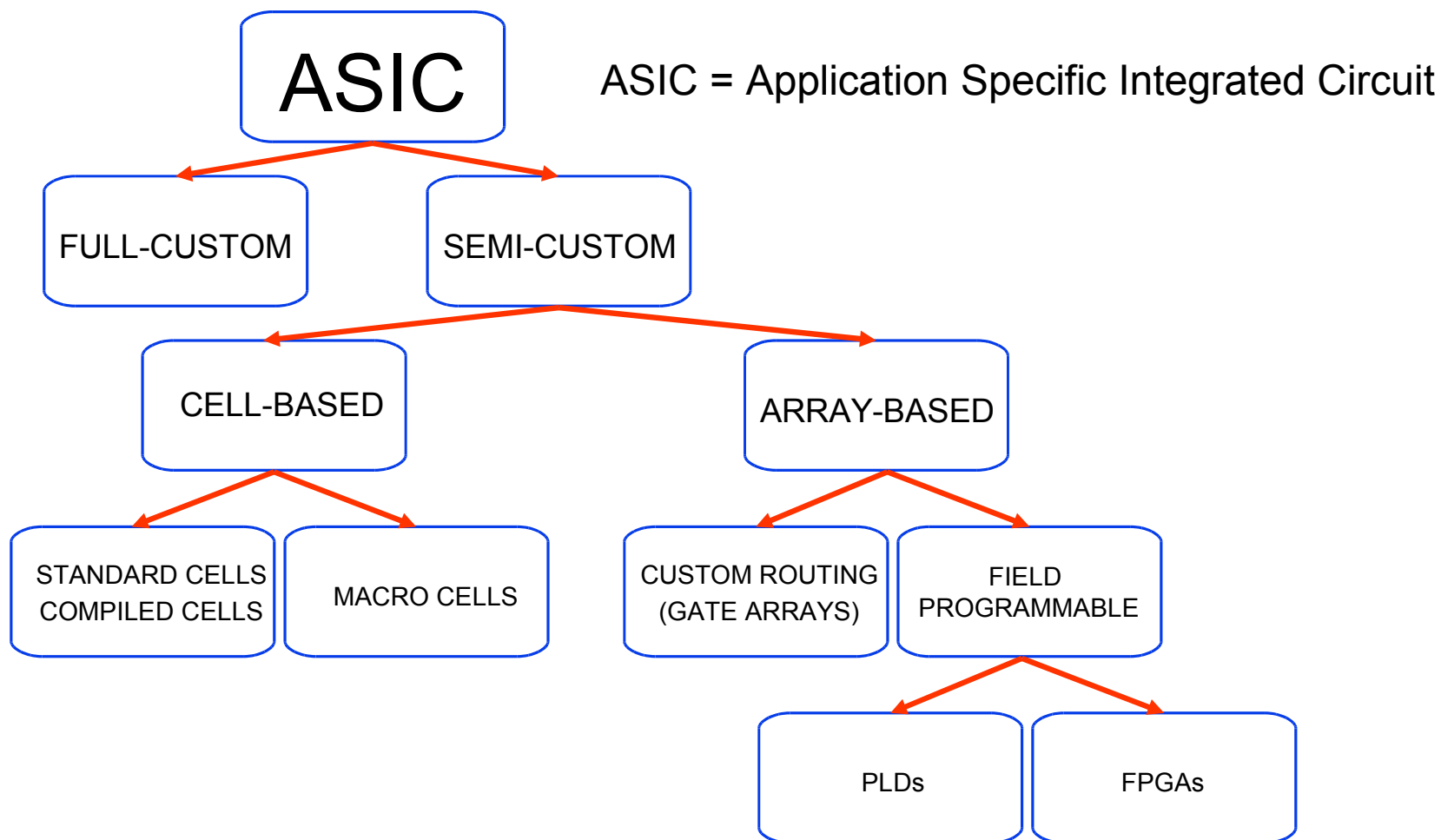
# Perspektywa historyczna



Rysunek: Maxfield C., "The Design Warrior's Guide to FPGAs"



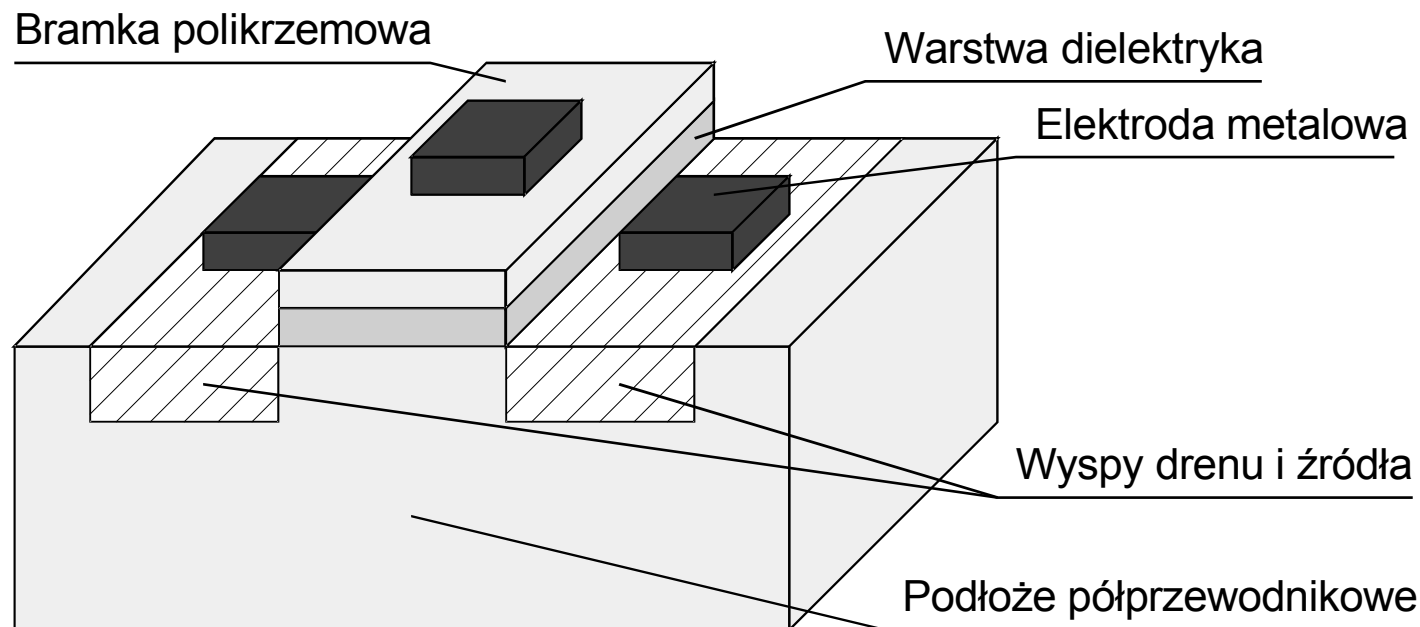
# Klasyfikacja układów ASIC





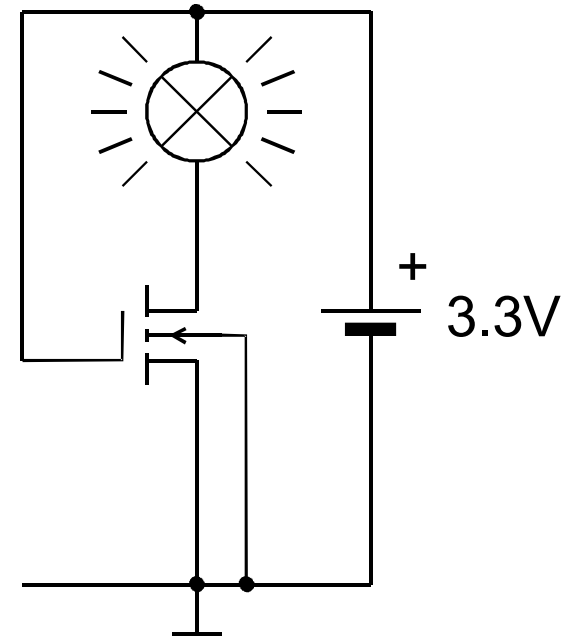
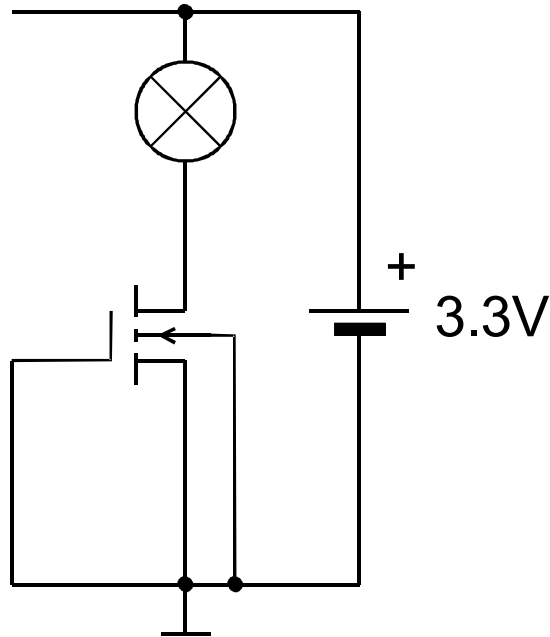
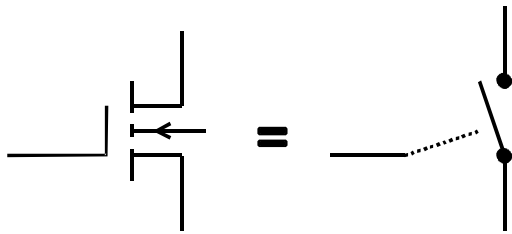


- Obecnie najpowszechniejszą technologią produkcji układów scalonych jest technologia CMOS (Complementary Metal-Oxide-Semiconductor)
- Zapewnia mały pobór prądu w stanie statycznym
- Moc rozpraszana proporcjonalna do częstotliwości i kwadratu napięcia zasilania
- Prędkość wzrasta ze wzrostem napięcia zasilania i spadkiem temperatury
- Tranzystory MOS mają izolowaną bramkę
  - Stanowią obciążenie pojemnościowe

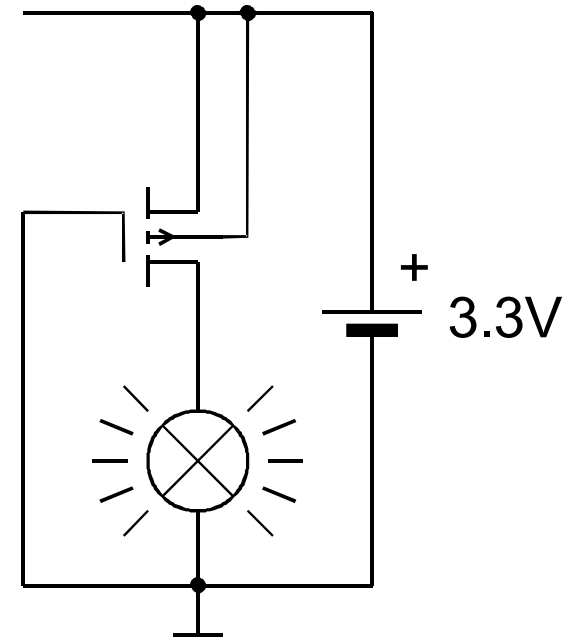
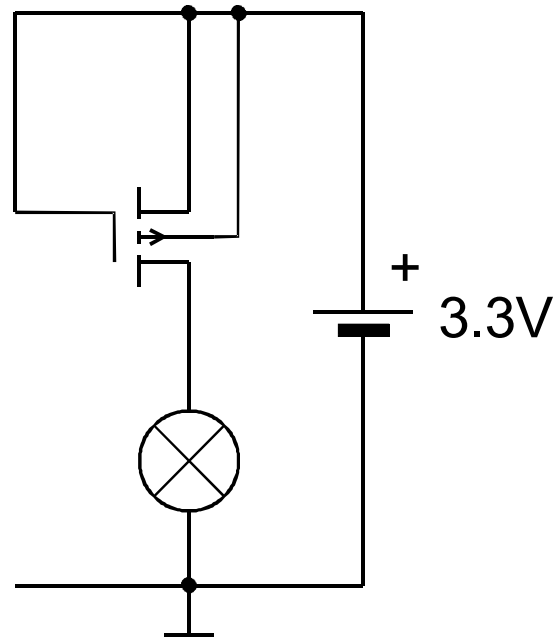
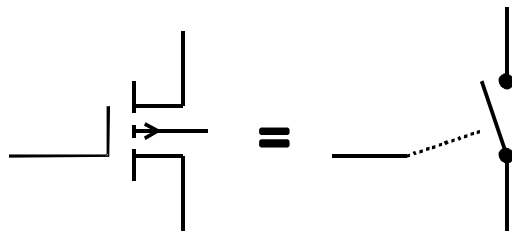


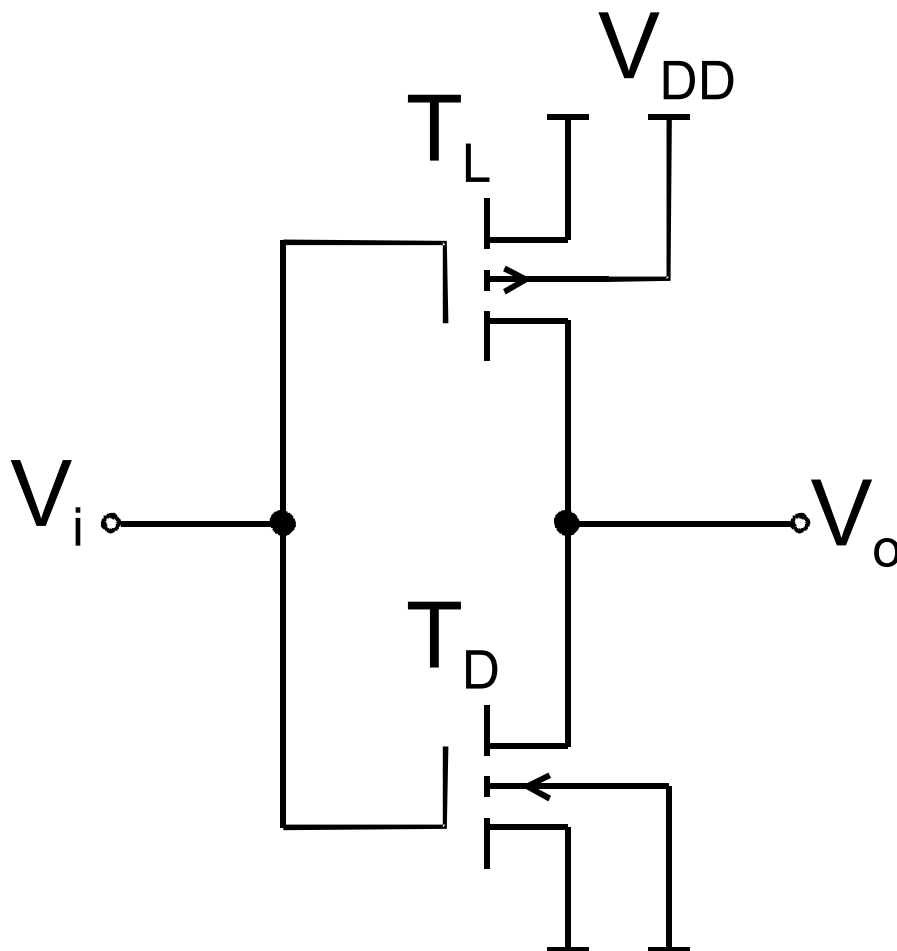


## NMOS jako przełącznik



# PMOS jako przełącznik





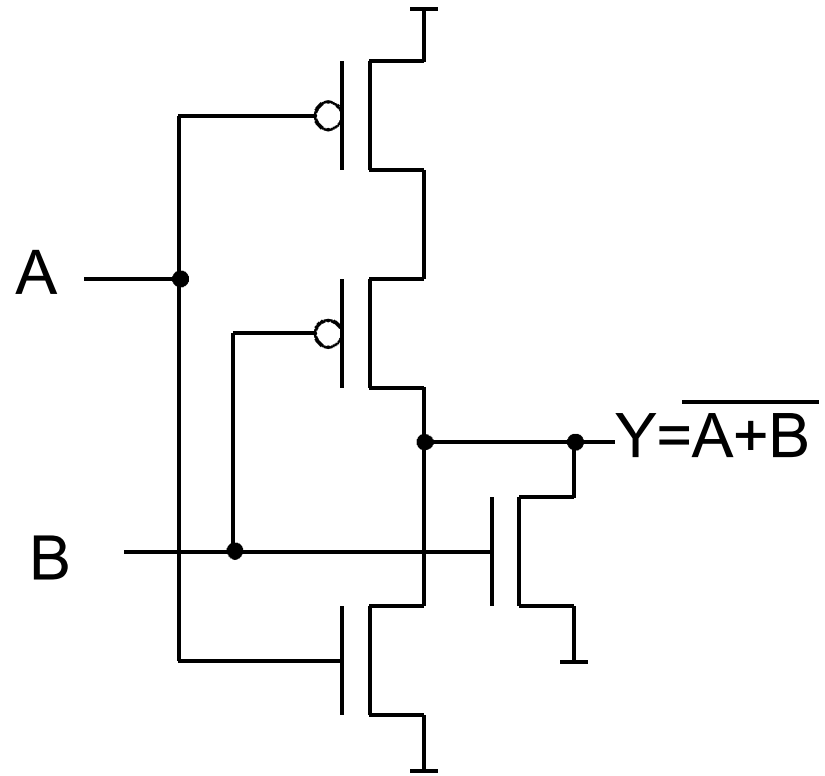
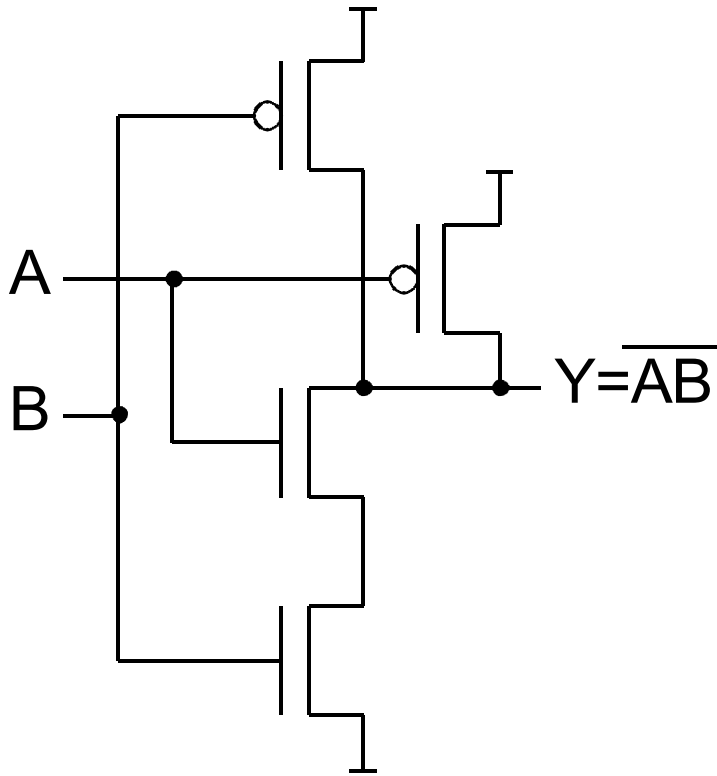
PMOS

NMOS



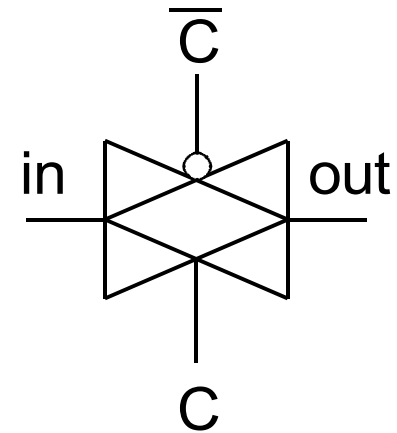
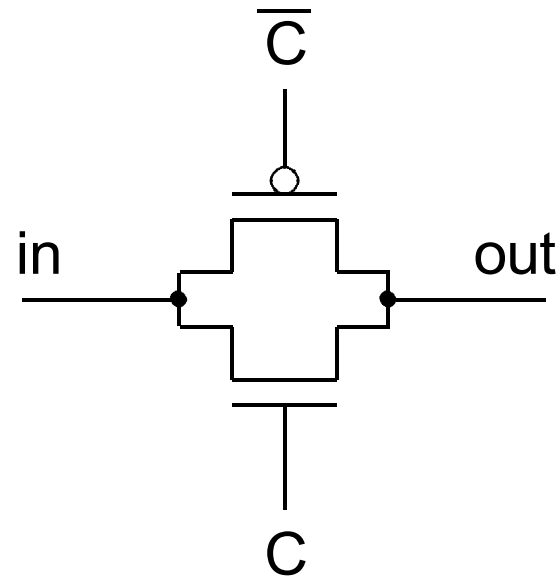
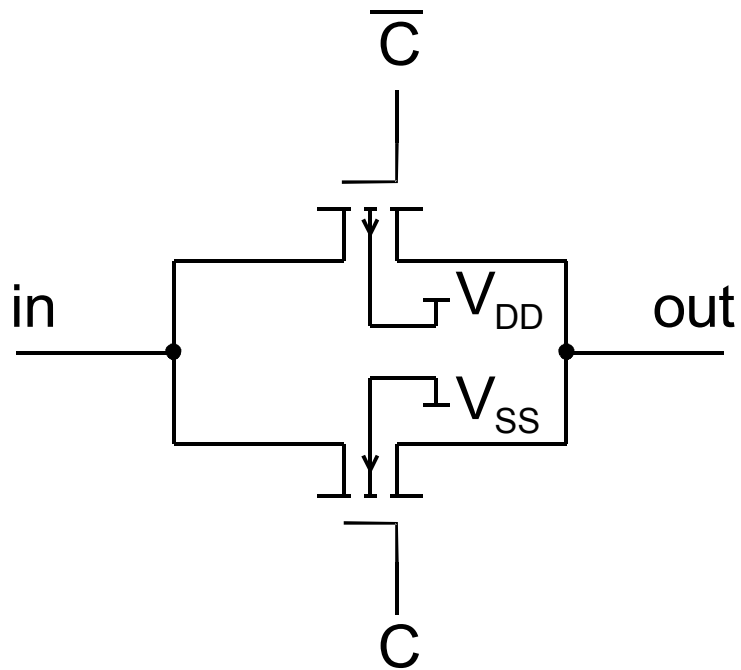


# Bramki CMOS: NAND oraz NOR



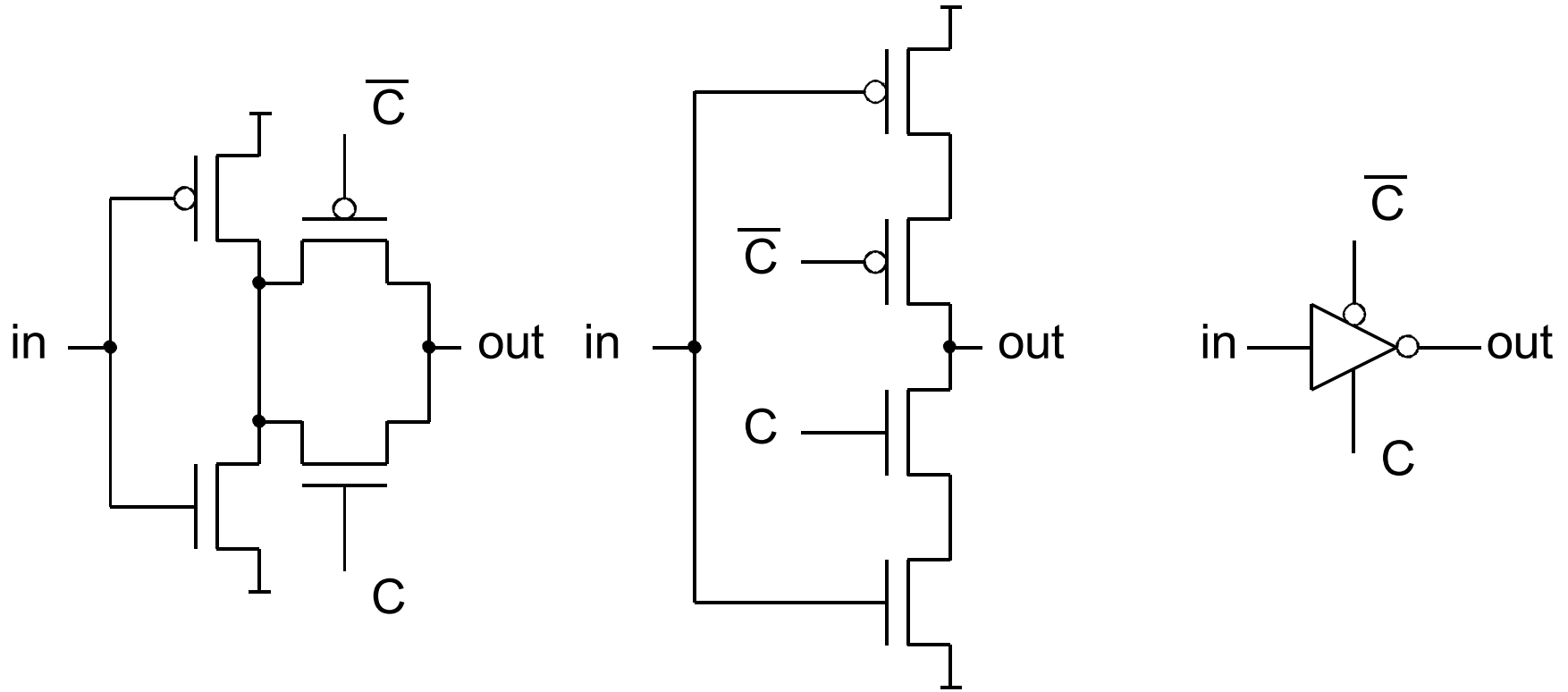


# Bramka transmisyjna CMOS

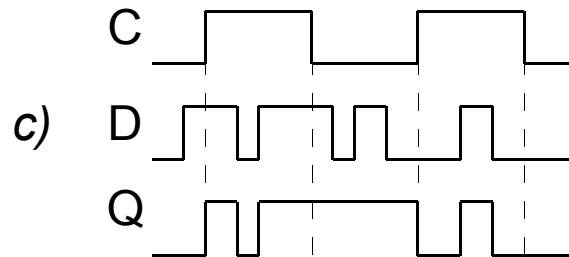
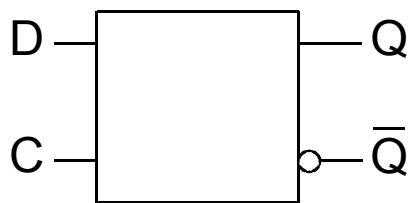
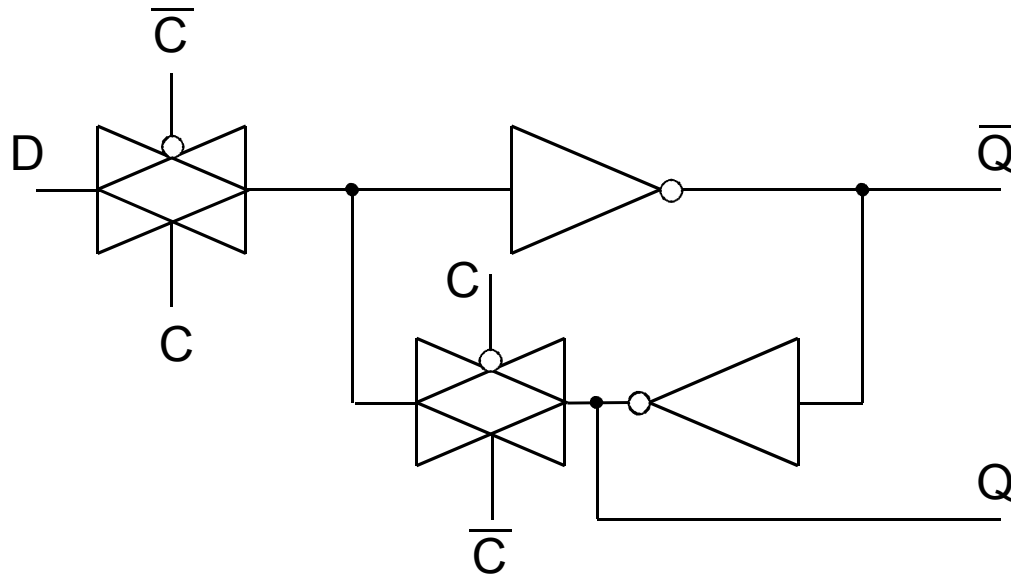




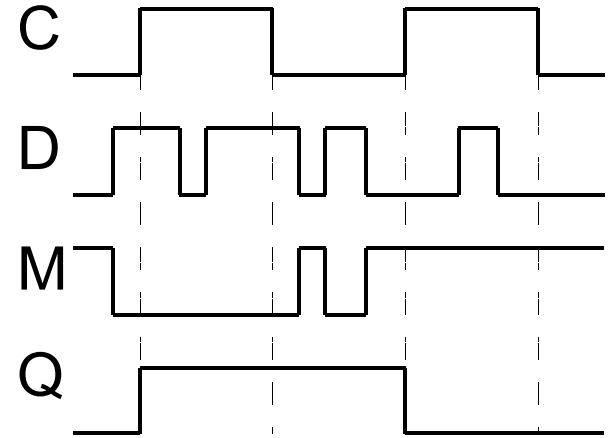
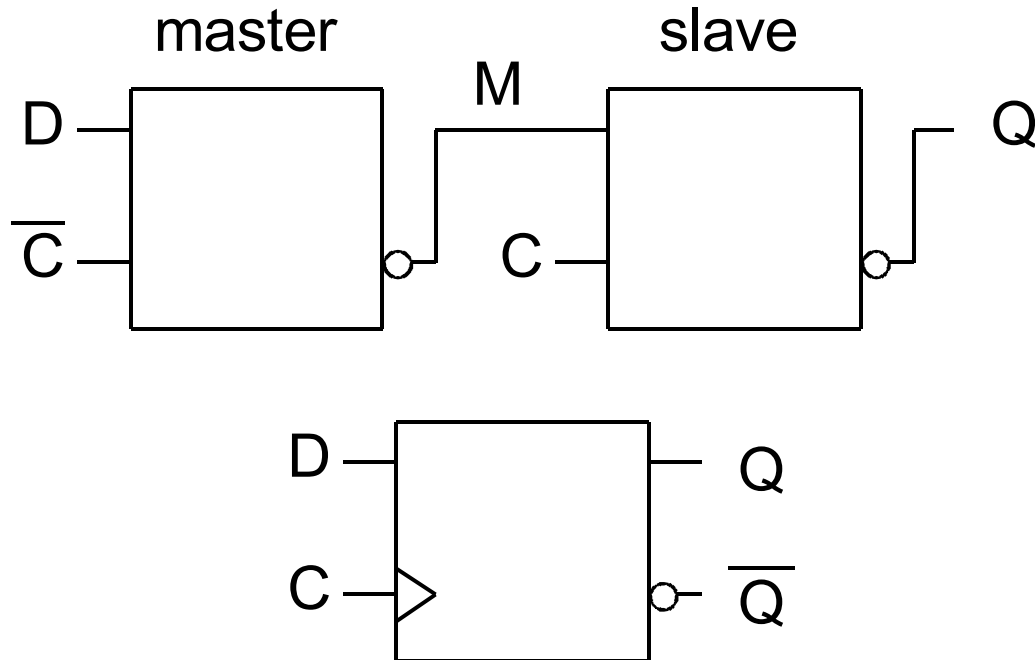
# Inwerter trójstanowy



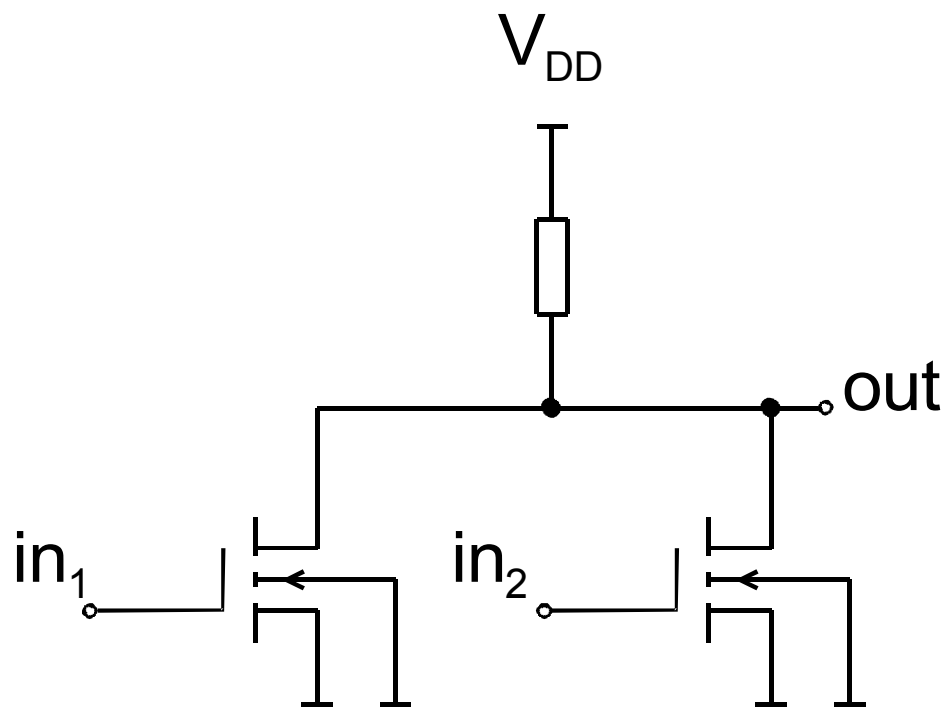
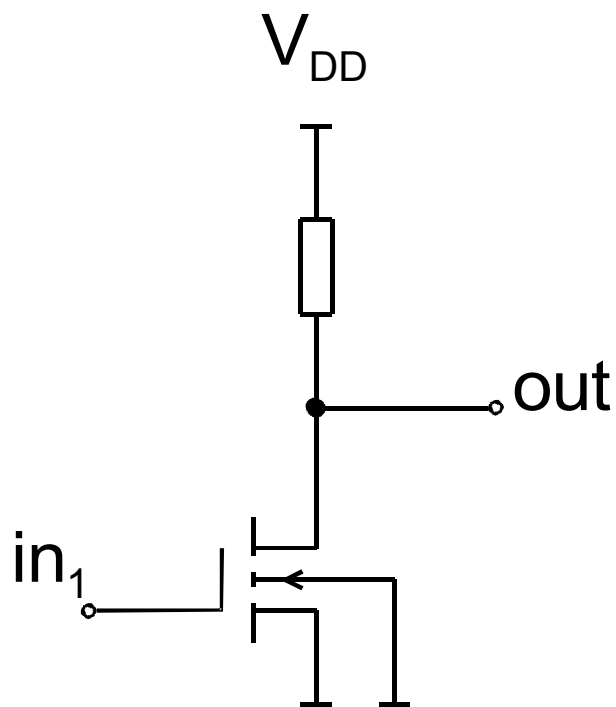
# Przerzutnik wyzwalany poziomem



# Przerzutnik wyzwalany zboczem

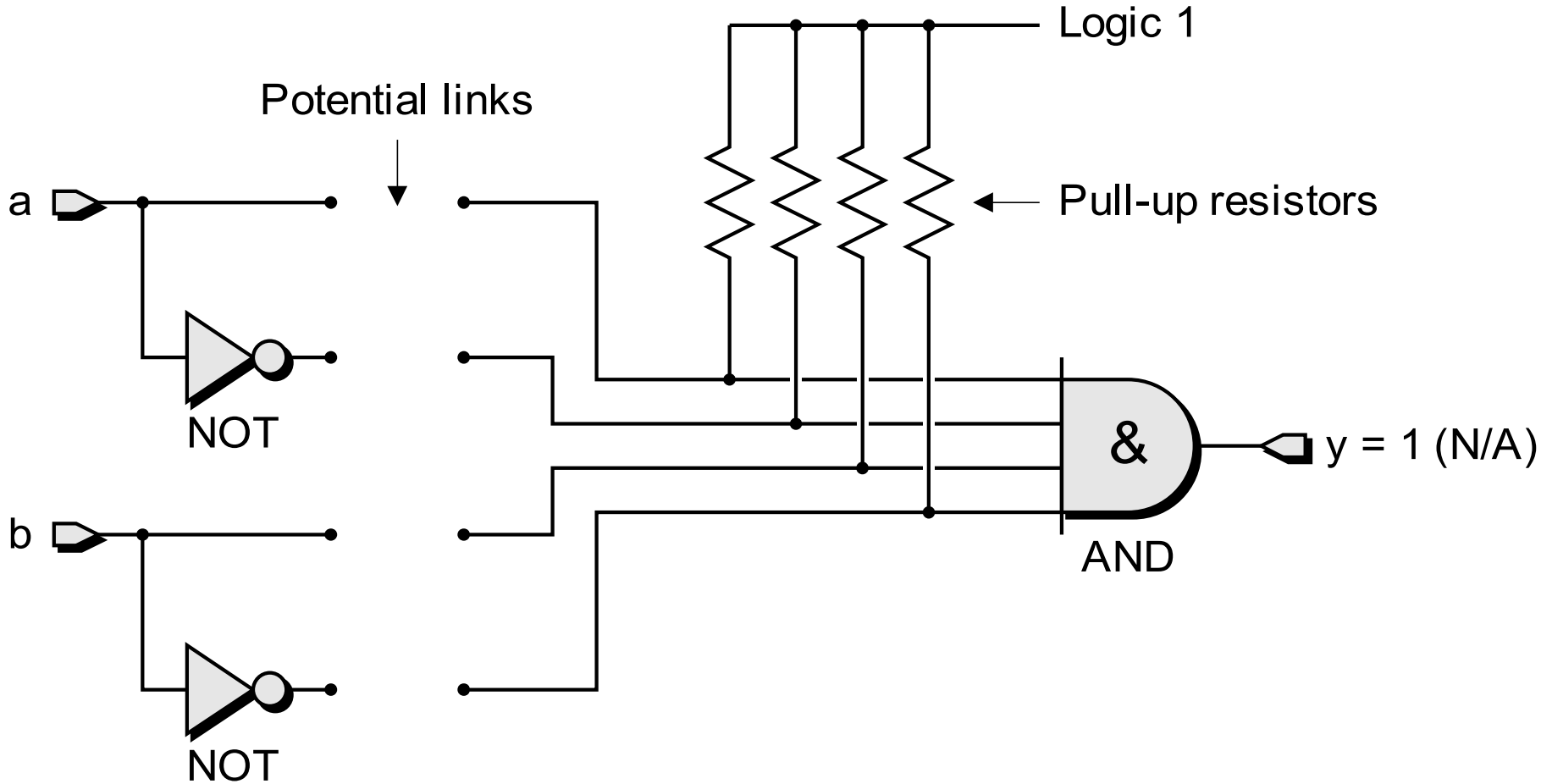








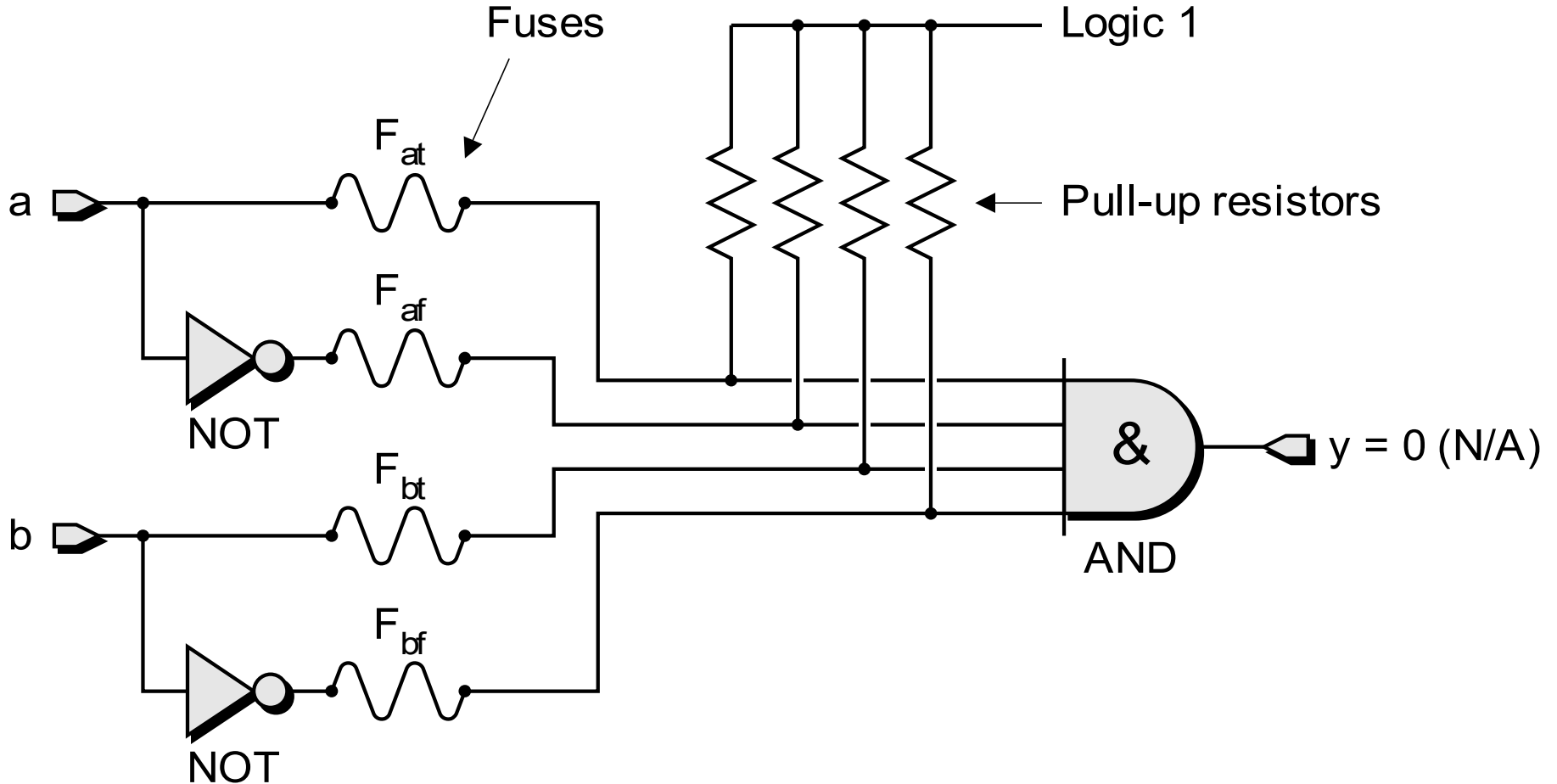
# Układ programowalny



Rysunek: Maxfield C., "The Design Warrior's Guide to FPGAs"



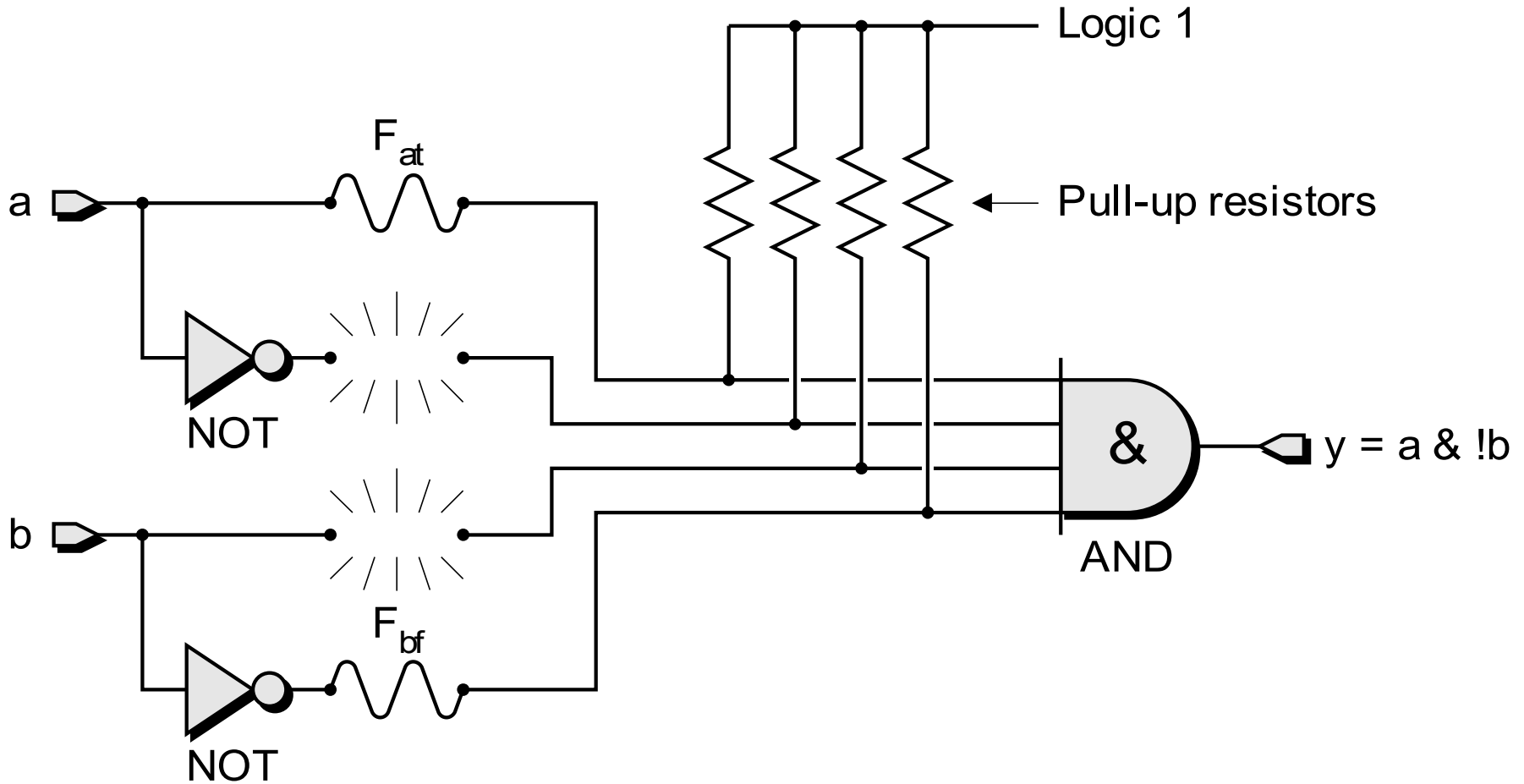
# Technologia "fuses"



Rysunek: Maxfield C., "The Design Warrior's Guide to FPGAs"



# Przykład zaprogramowanego układu

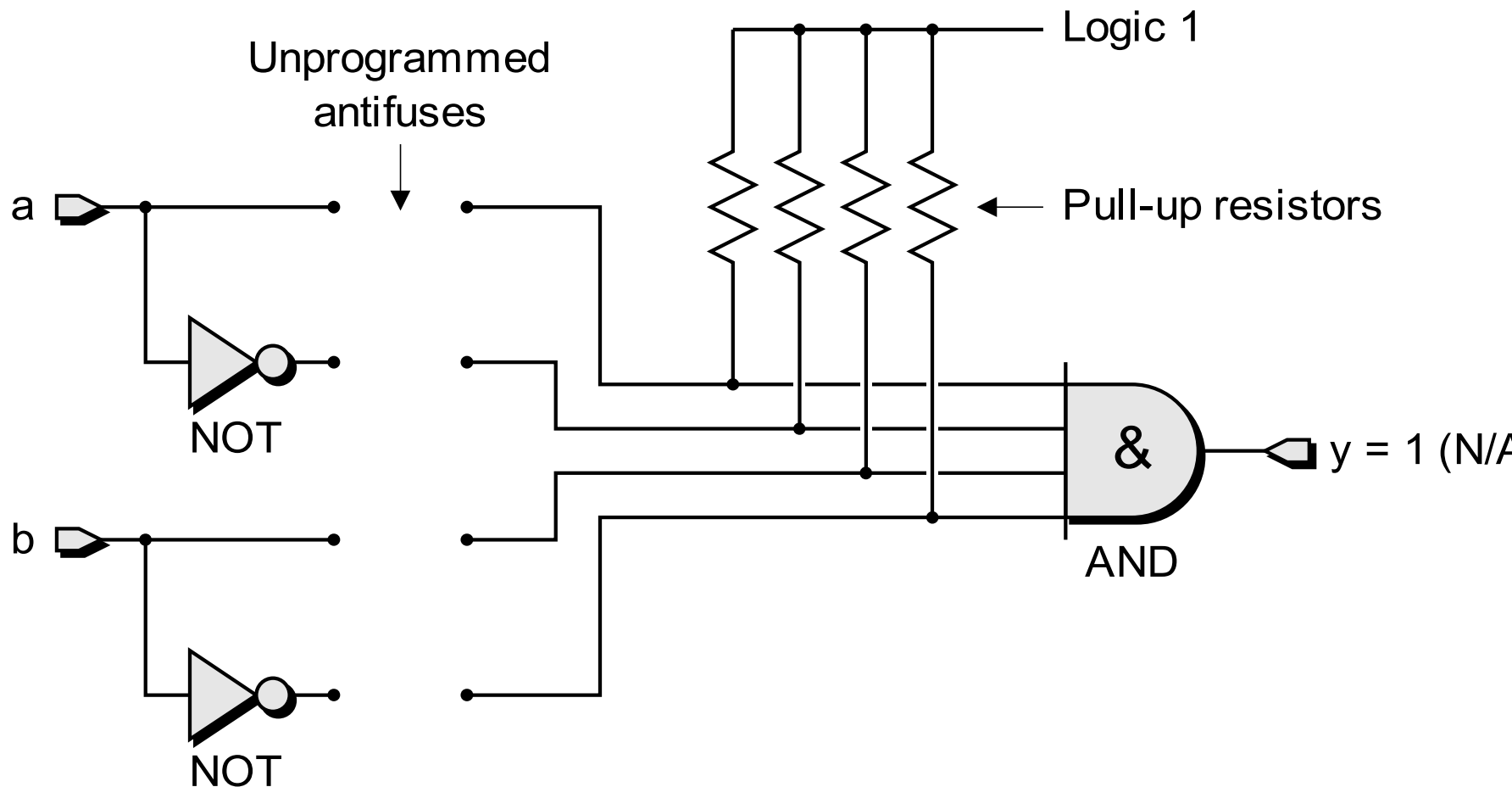


Rysunek: Maxfield C., "The Design Warrior's Guide to FPGAs"



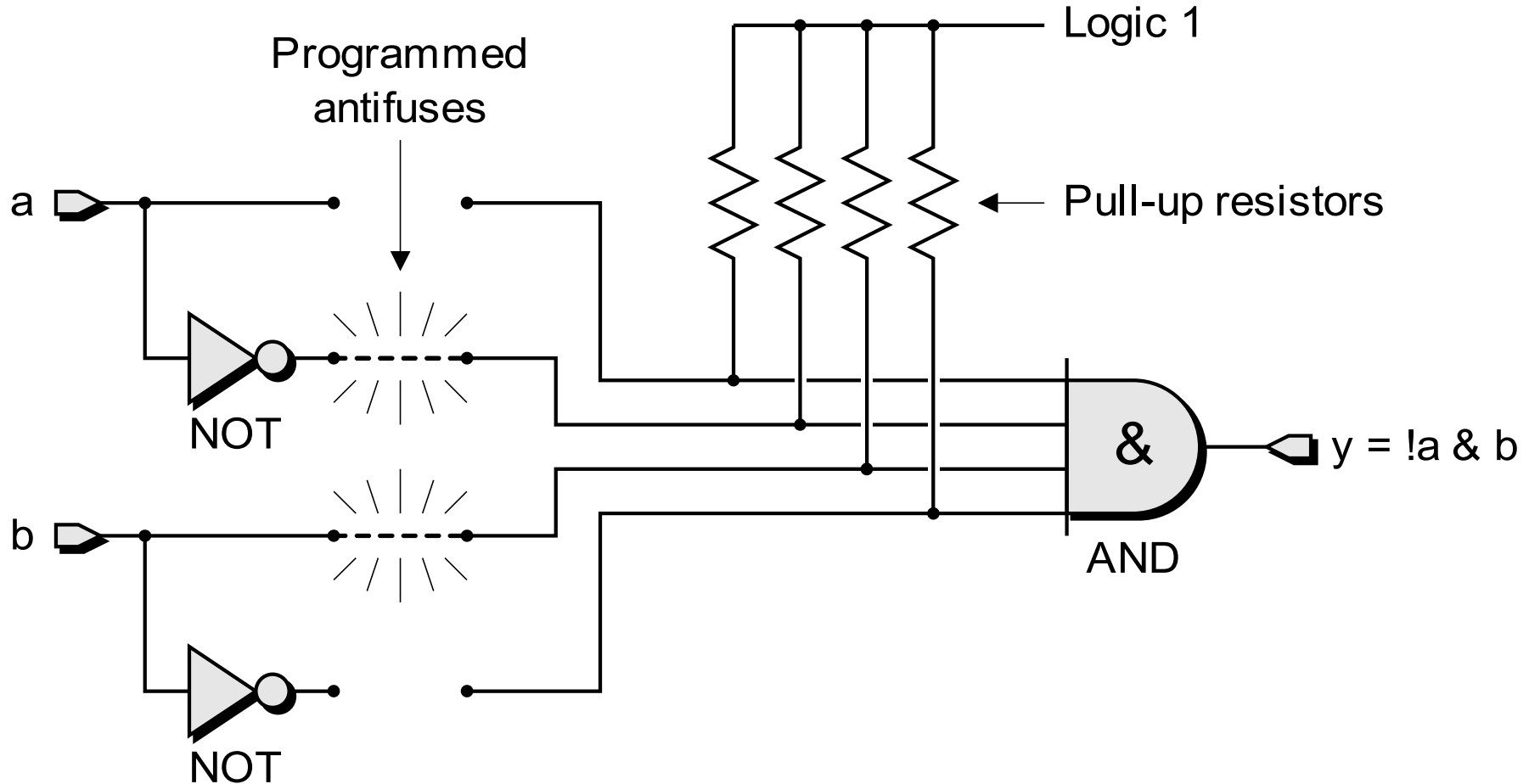


# Technologia "Antifuse"



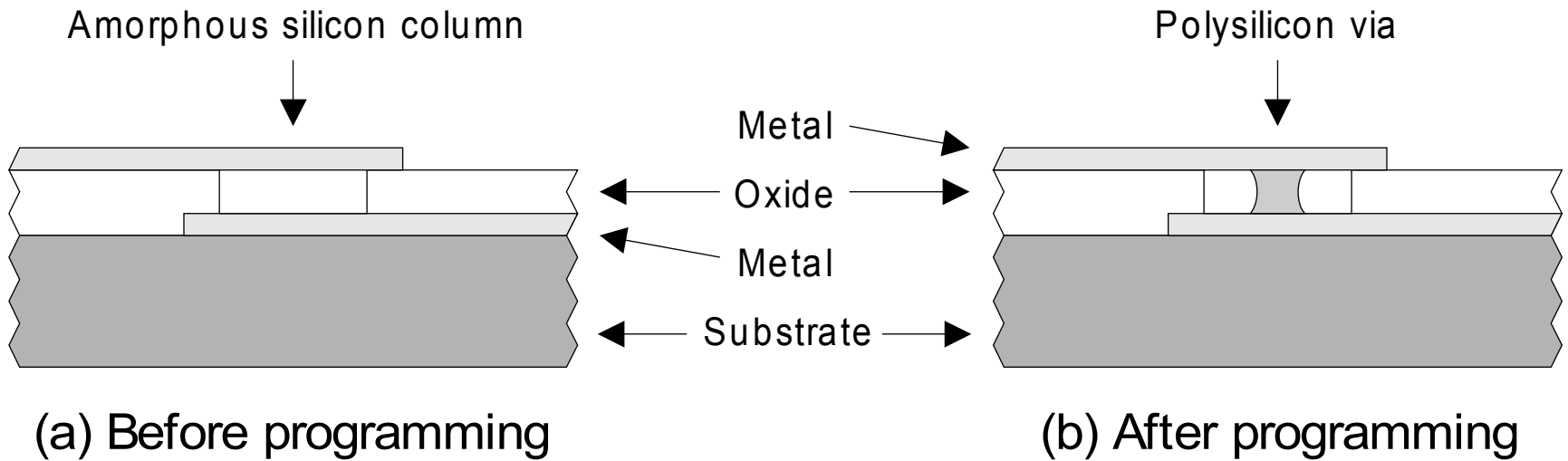
Rysunek: Maxfield C., "The Design Warrior's Guide to FPGAs"

## Przykład zaprogramowanego układu



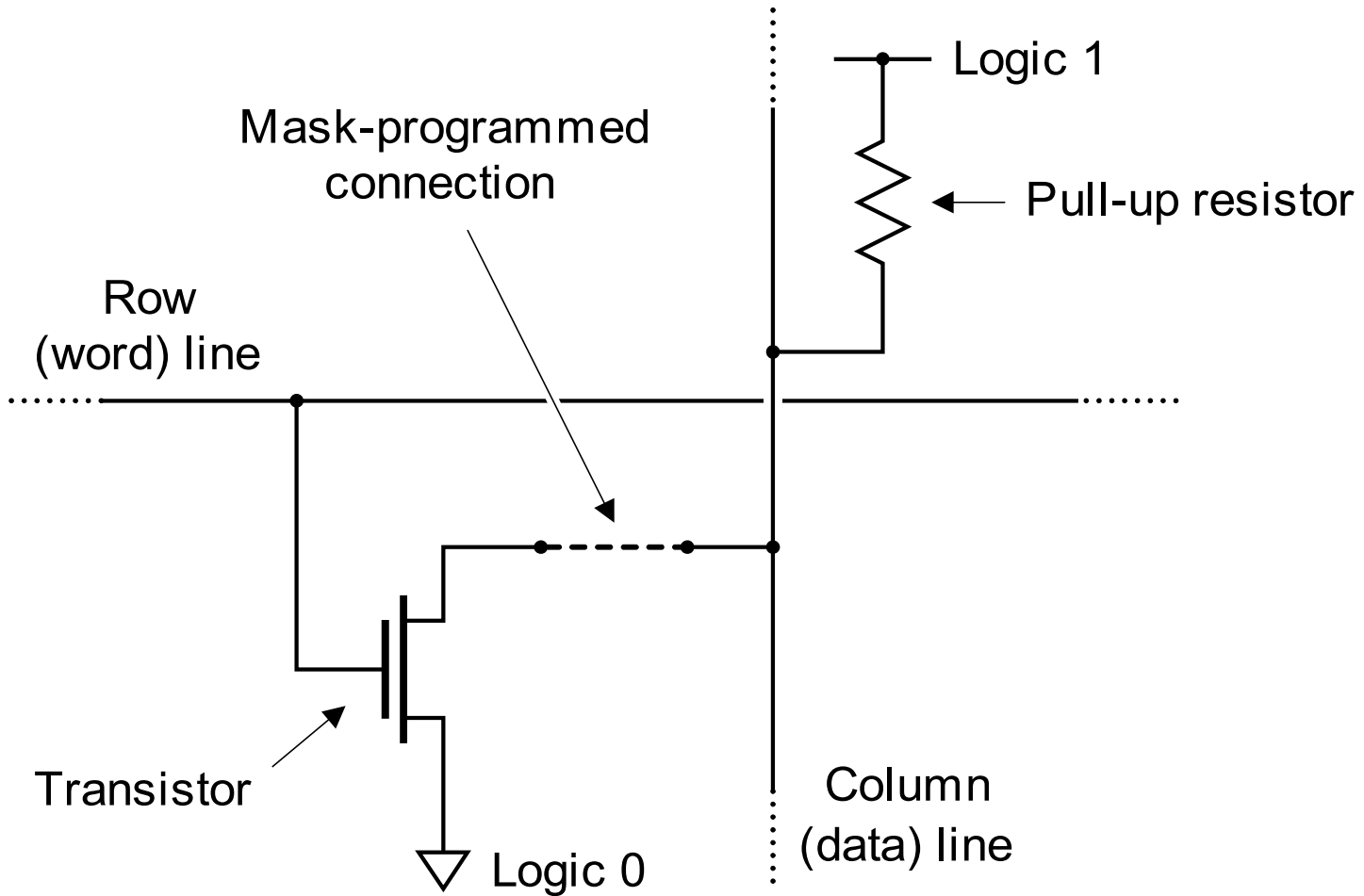
Rysunek: Maxfield C., "The Design Warrior's Guide to FPGAs"

## Technologia "Antifuse"



Rysunek: Maxfield C., "The Design Warrior's Guide to FPGAs"

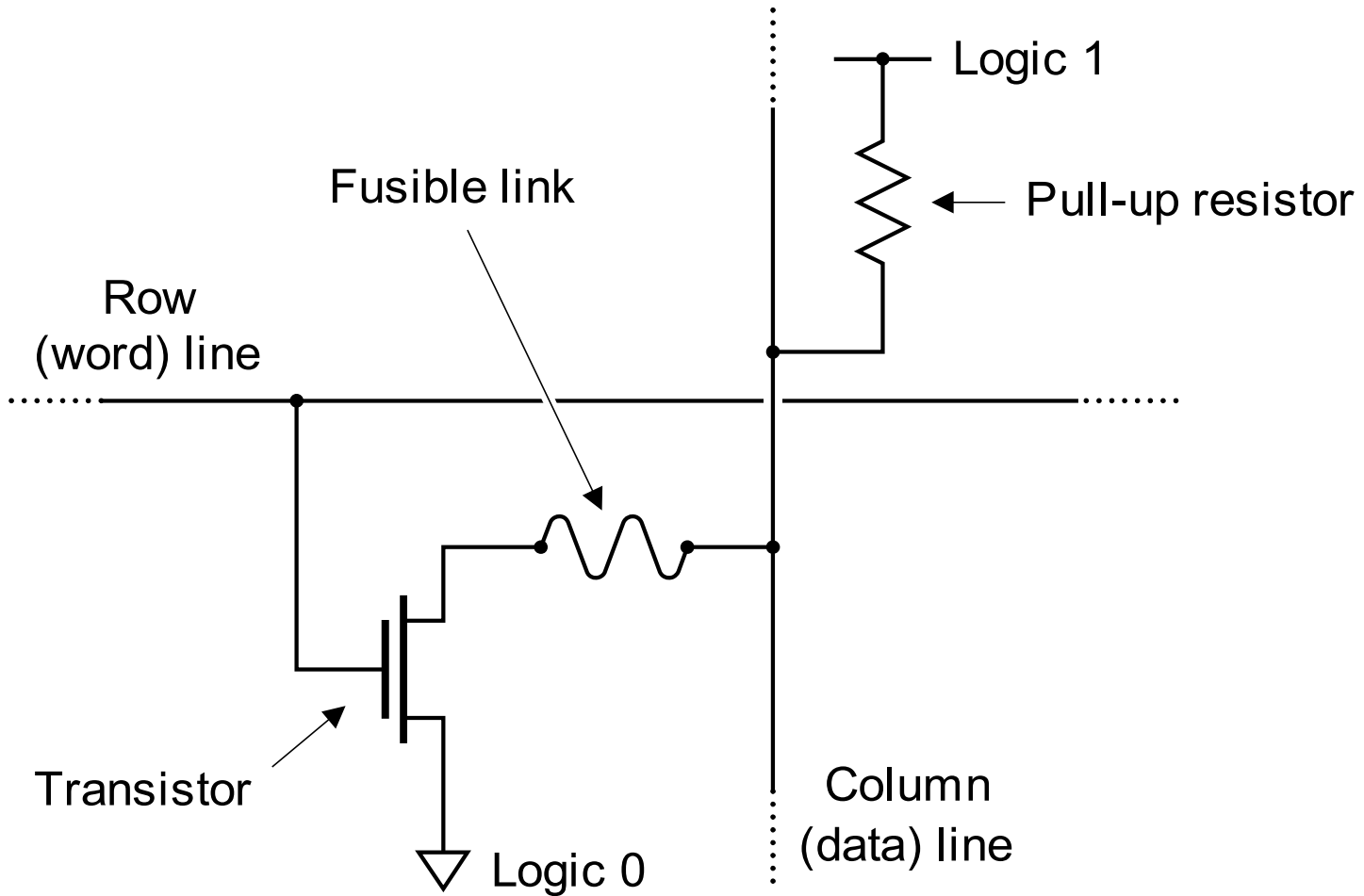
## Programowanie maską



Rysunek: Maxfield C., "The Design Warrior's Guide to FPGAs"

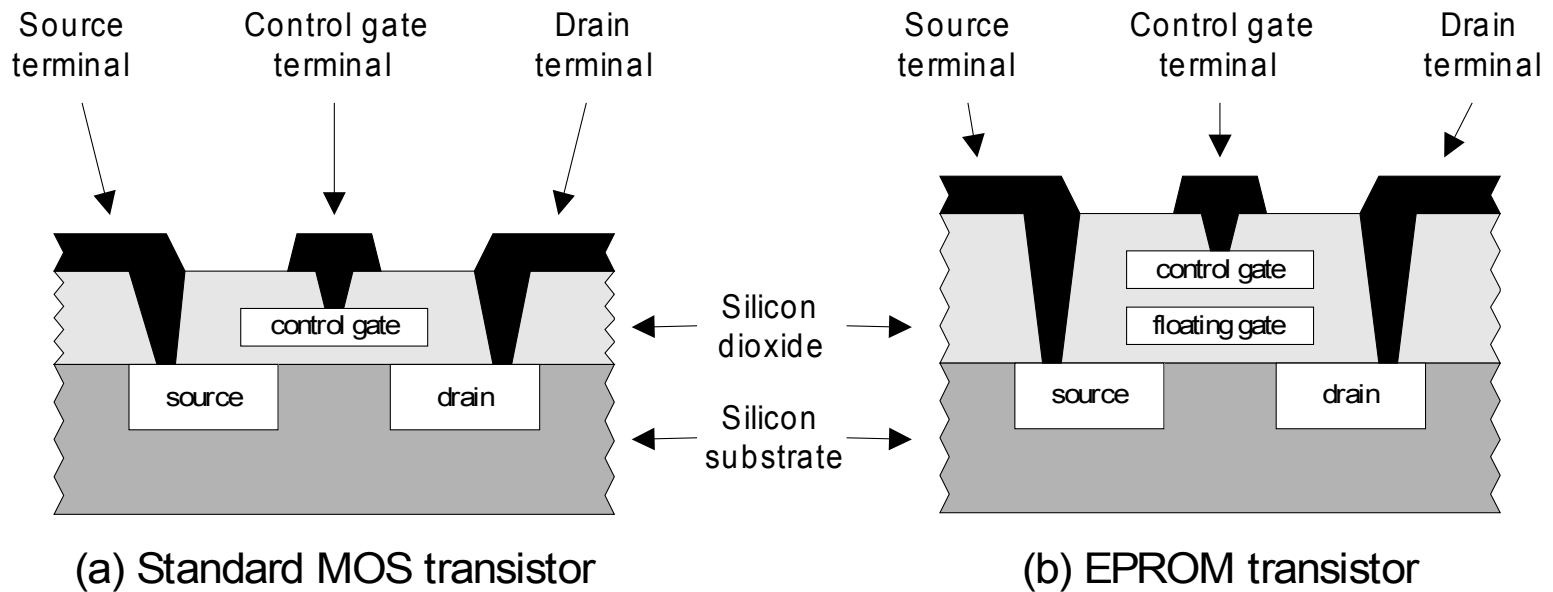


# PROM (Programowalny ROM)



Rysunek: Maxfield C., "The Design Warrior's Guide to FPGAs"

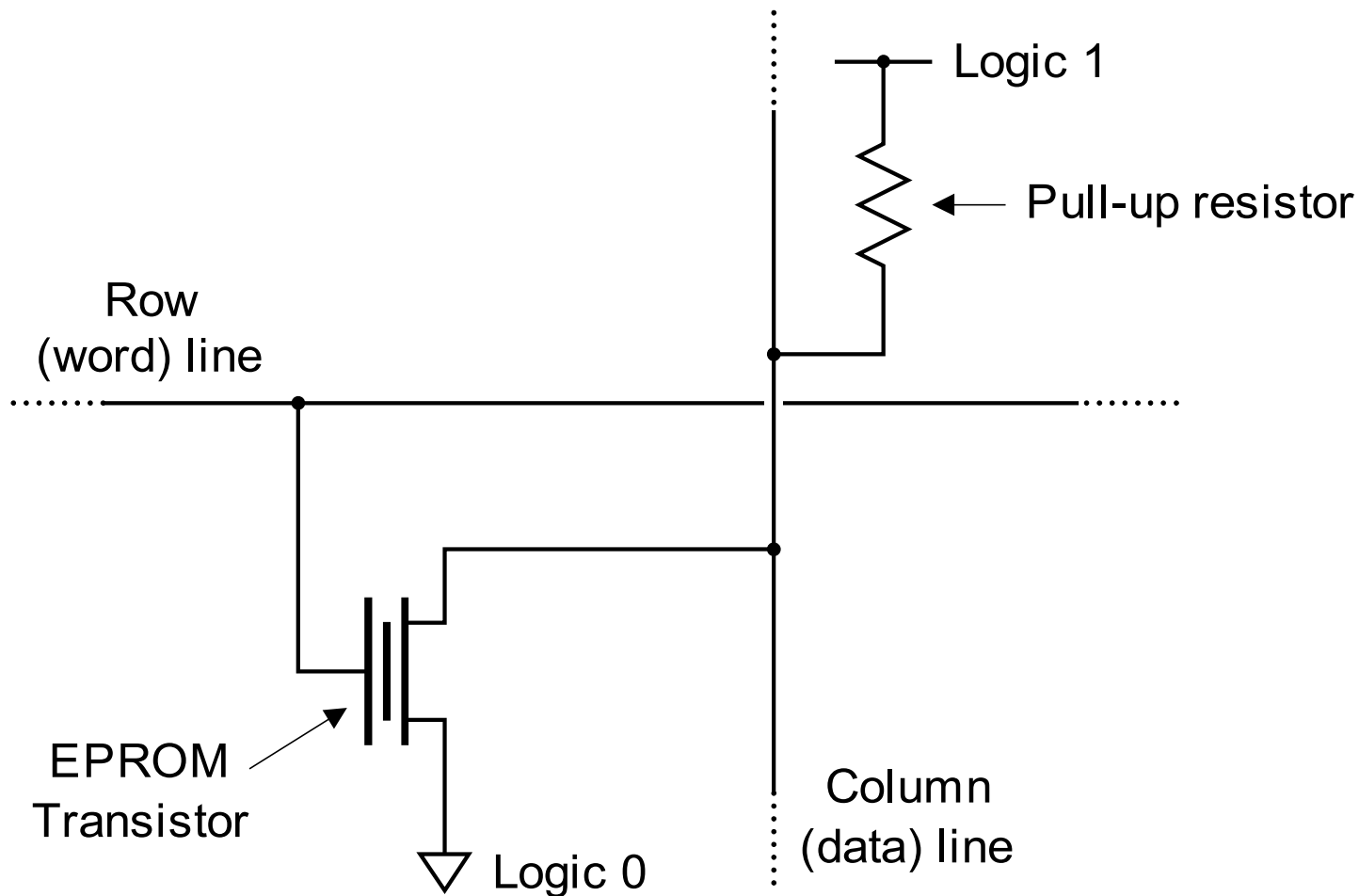
# EPROM (Eraseable Programmable ROM)



Rysunek: Maxfield C., "The Design Warrior's Guide to FPGAs"



# Układy oparte na EPROM

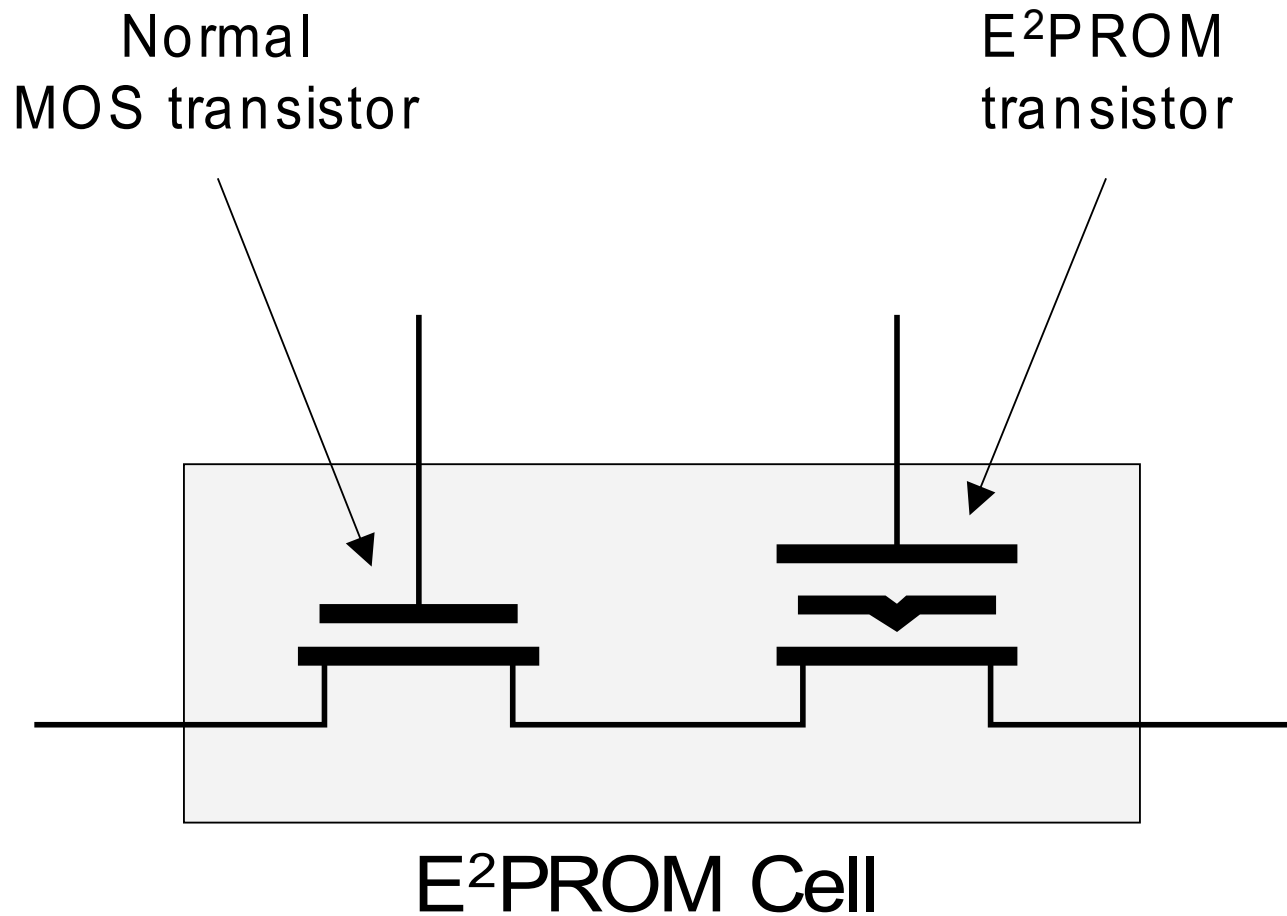


Rysunek: Maxfield C., "The Design Warrior's Guide to FPGAs"





# Technologia E<sup>2</sup>PROM

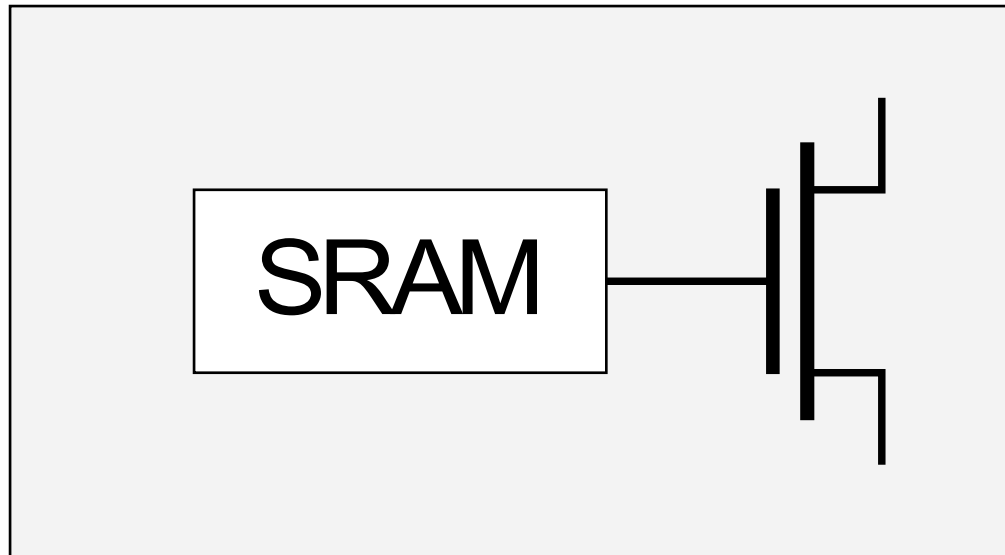


Rysunek: Maxfield C., "The Design Warrior's Guide to FPGAs"





# Technologia oparta na pamięci statycznej



Rysunek: Maxfield C., "The Design Warrior's Guide to FPGAs"



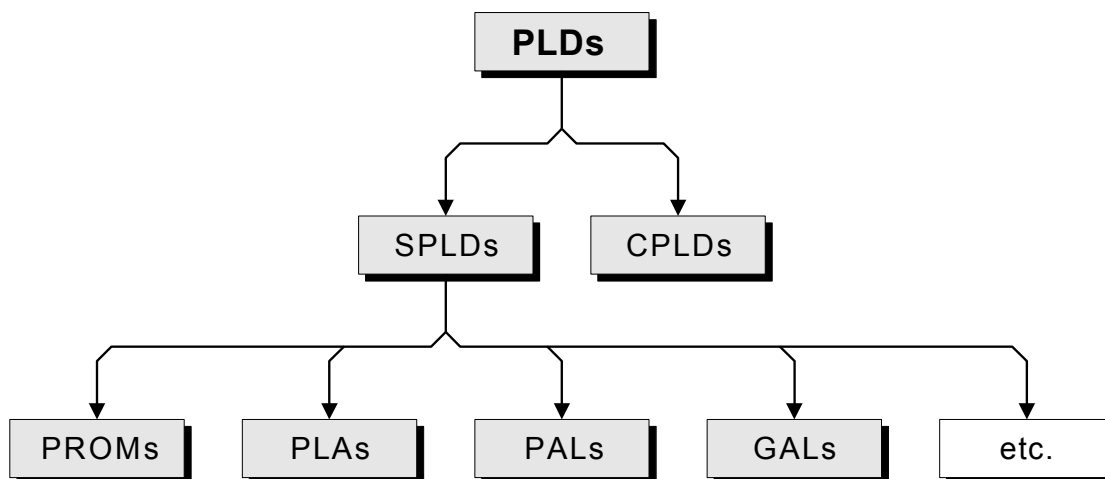
# Podsumowanie technologii układów programowalnych

Technology	Symbol	Predominantly associated with ...
Fusible-link		SPLDs
Antifuse		FPGAs
EPROM		SPLDs and CPLDs
E <sup>2</sup> PROM/ FLASH		SPLDs and CPLDs (some FPGAs)
SRAM		FPGAs (some CPLDs)

Rysunek: Maxfield C., "The Design Warrior's Guide to FPGAs"

## PLD (Programmable Logic Devices)

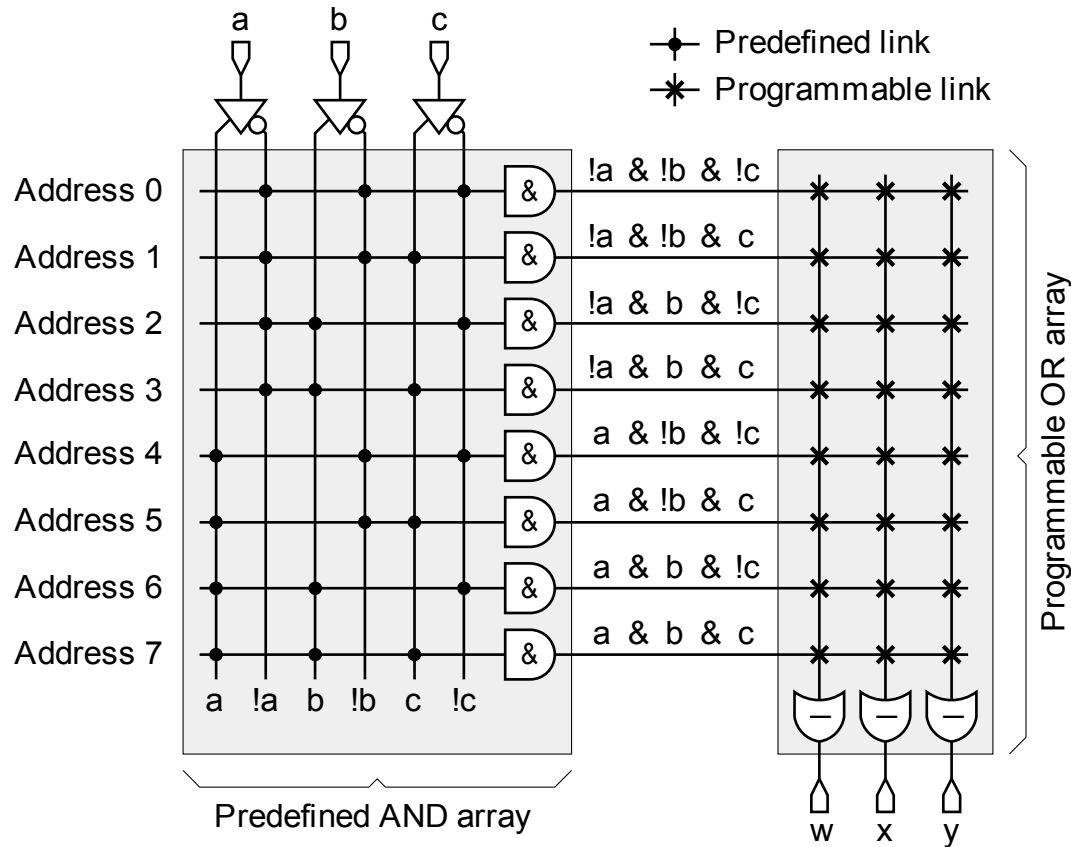
- Pierwsze układy programowalne nosiły nazwę PLD
- Wyróżnia się dwie grupy układów PLD:
  - SPLDs : Simple PLDs
  - CPLDs: Complex PLDs
- Pierwszy układ programowalny (PROM) wyprodukowany w latach 70-tych
- CPLD – późne lata 70-te i wczesne 80-te



Rysunek: Maxfield C., "The Design Warrior's Guide to FPGAs"

# PROM (Programmable ROM)

- Najprostszy PLD
- Predefiniowana macierz AND, programowalna macierz OR

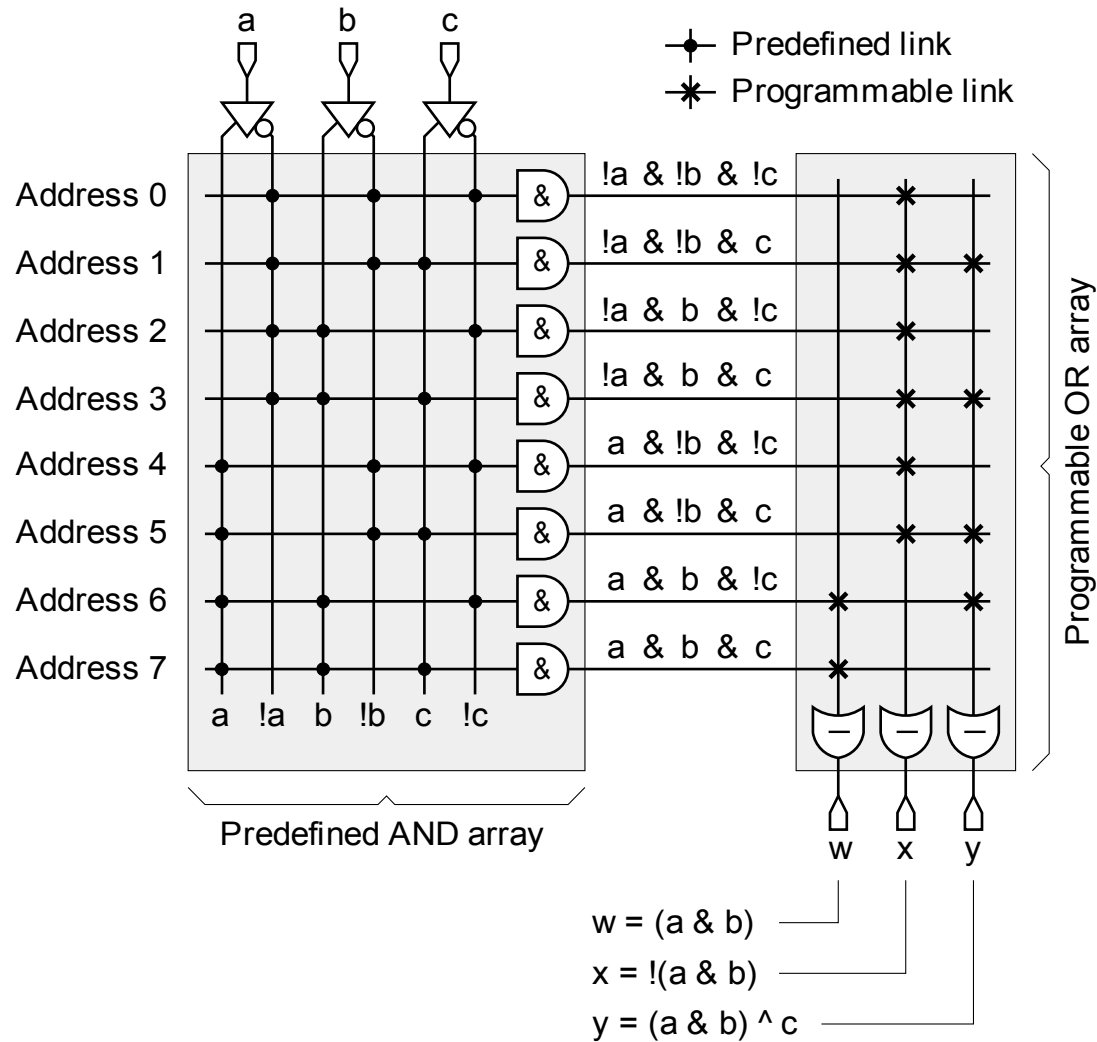


Rysunek: Maxfield C., "The Design Warrior's Guide to FPGAs"





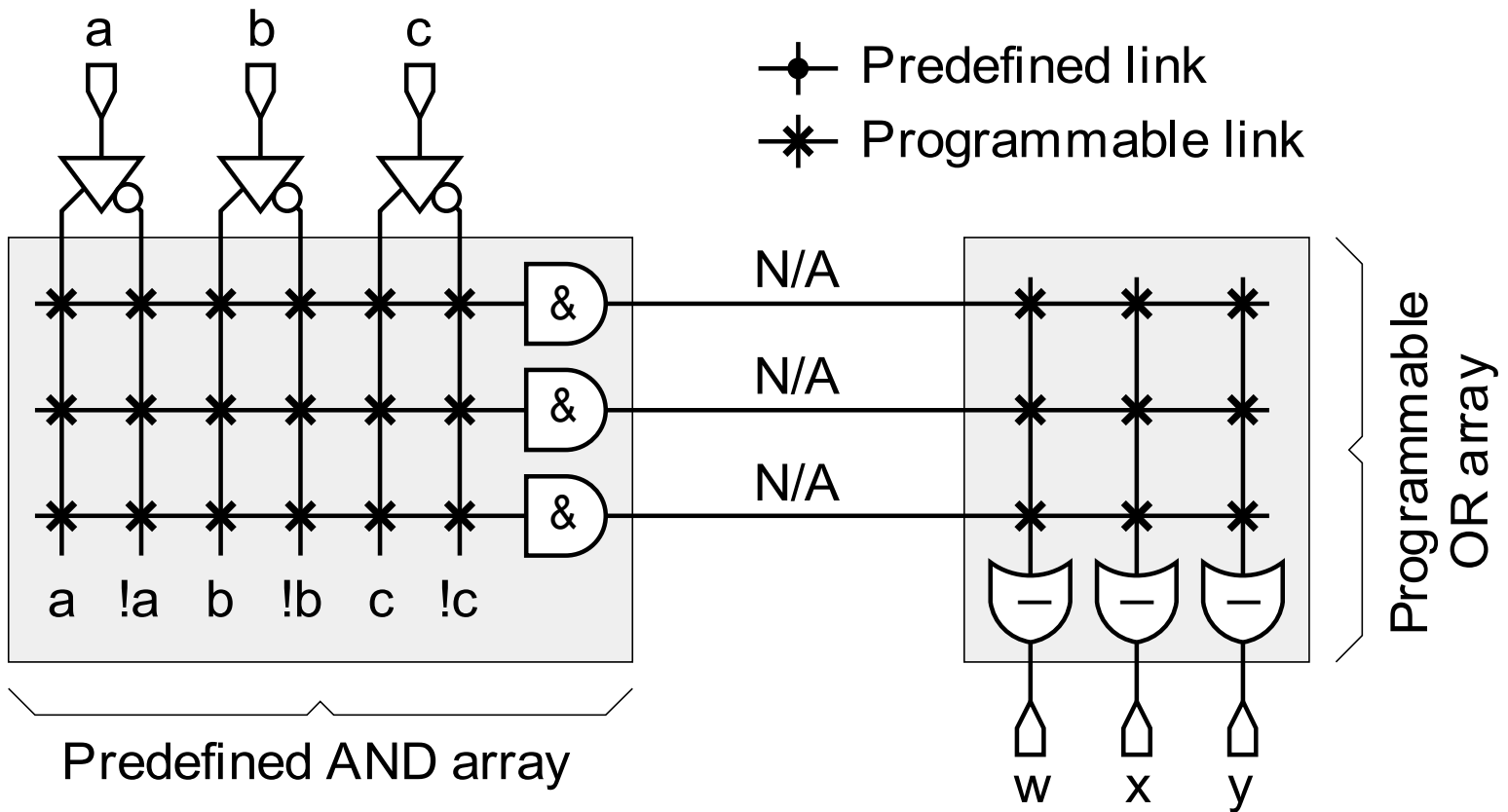
# Zaprogramowany PROM



Rysunek: Maxfield C., "The Design Warrior's Guide to FPGAs"

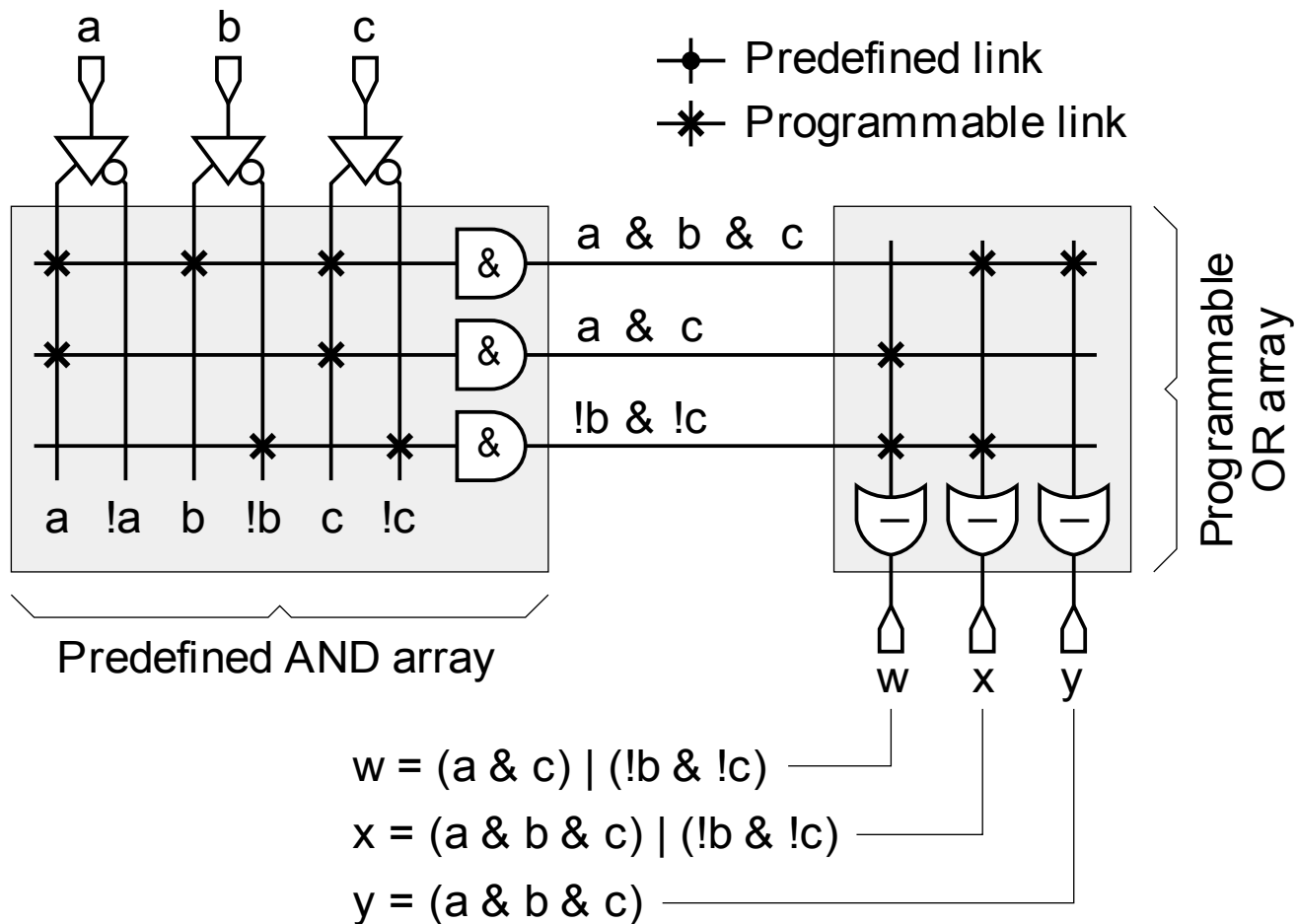
# PLA (Programmable Logic Array)

## • Programowalna macierz OR i AND



Rysunek: Maxfield C., "The Design Warrior's Guide to FPGAs"

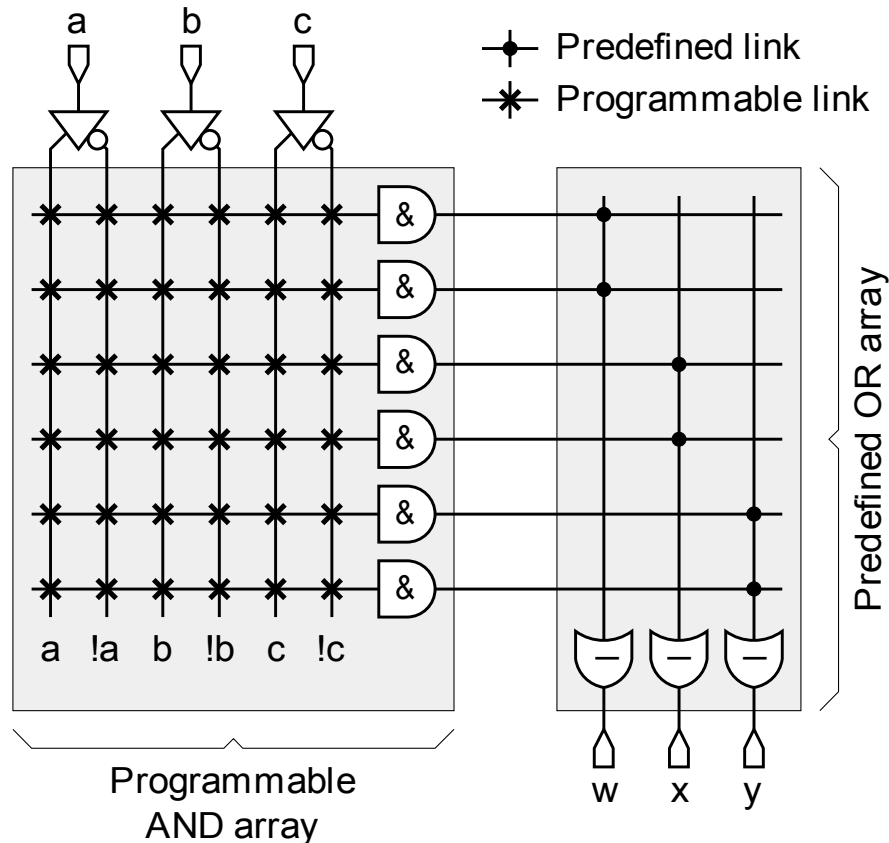
# Zaprogramowany układ PLA



Rysunek: Maxfield C., "The Design Warrior's Guide to FPGAs"

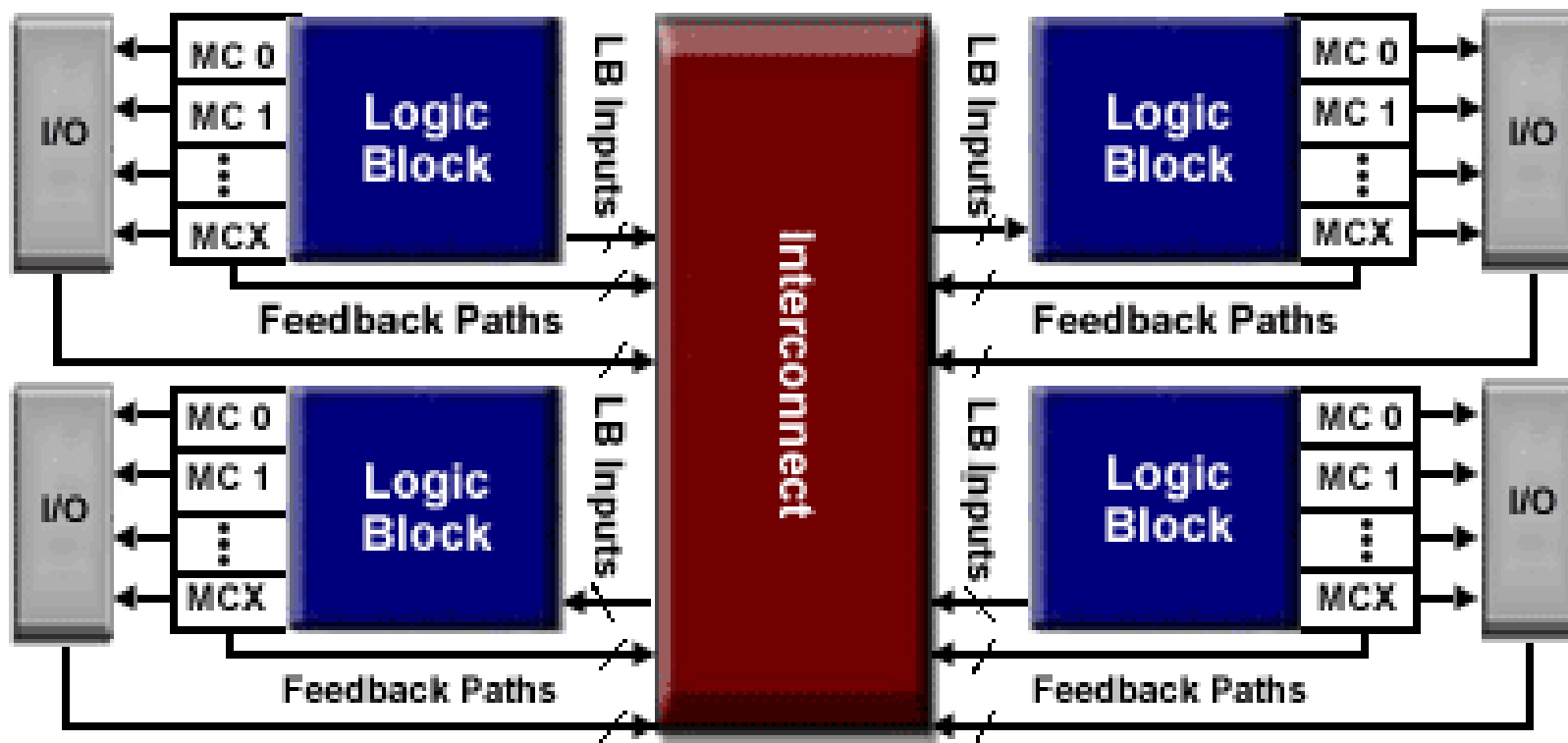
# PAL (Programmable Array Logic), GAL (Generic Array Logic)

- Przeciwnieństwo PROM
- Programowalna macierz AND, predefiniowana macierz OR

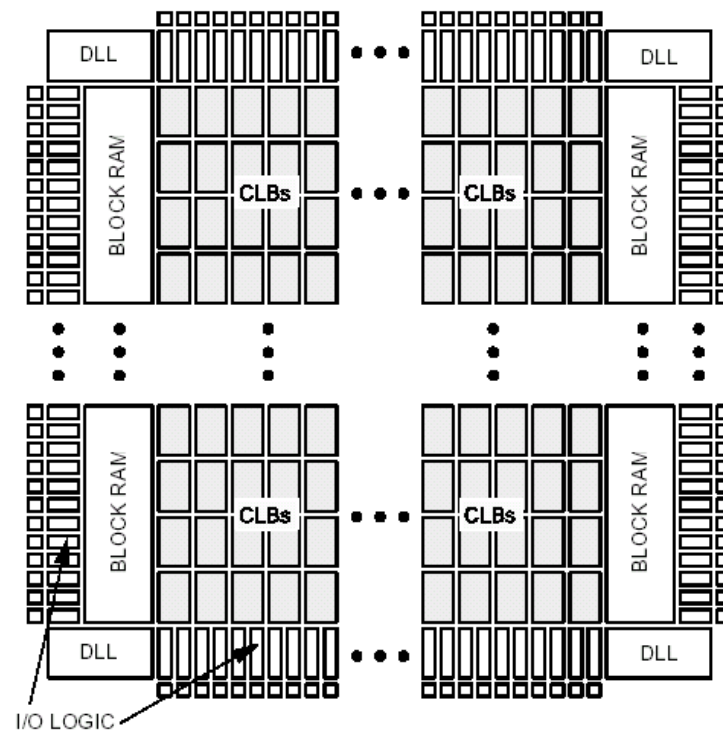


Rysunek: Maxfield C., "The Design Warrior's Guide to FPGAs"

- Macierz PLD
- Programowalne globalne połączenia

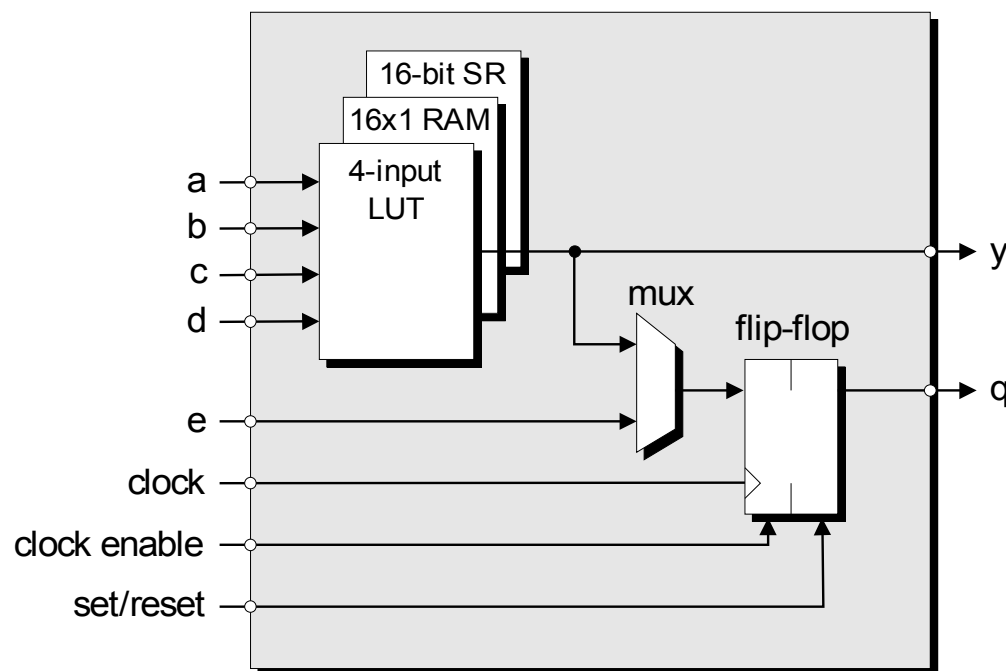
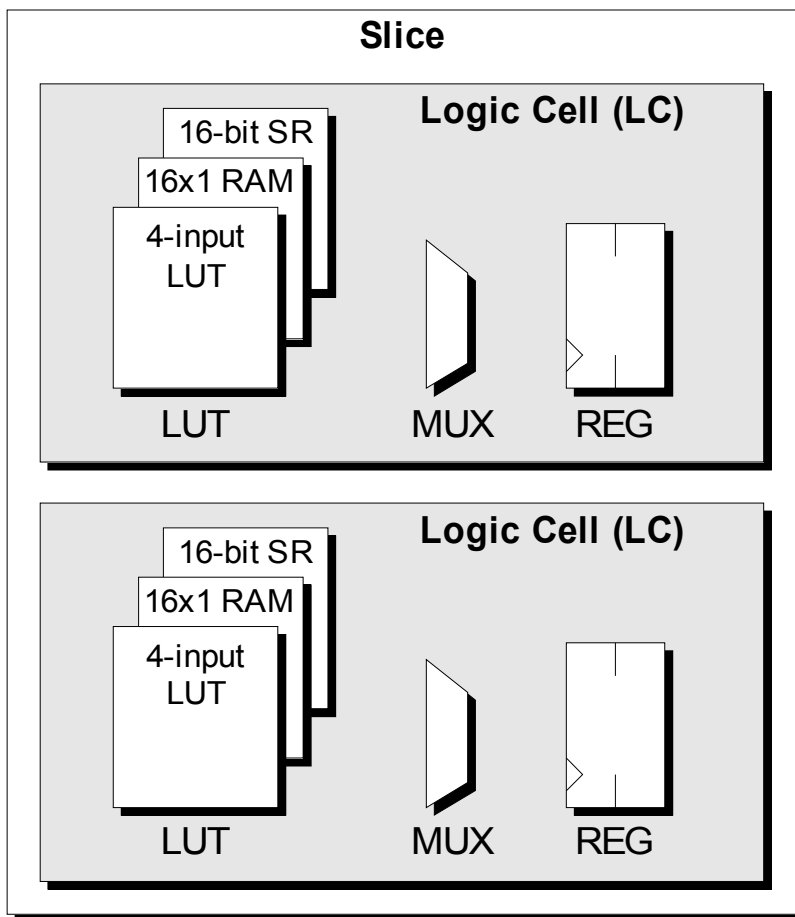


- Trzy główne elementy:
  - Configurable Logic Blocks (CLB)
  - Programowalne układy wejścia/wyjścia
  - Programowalne połączenia



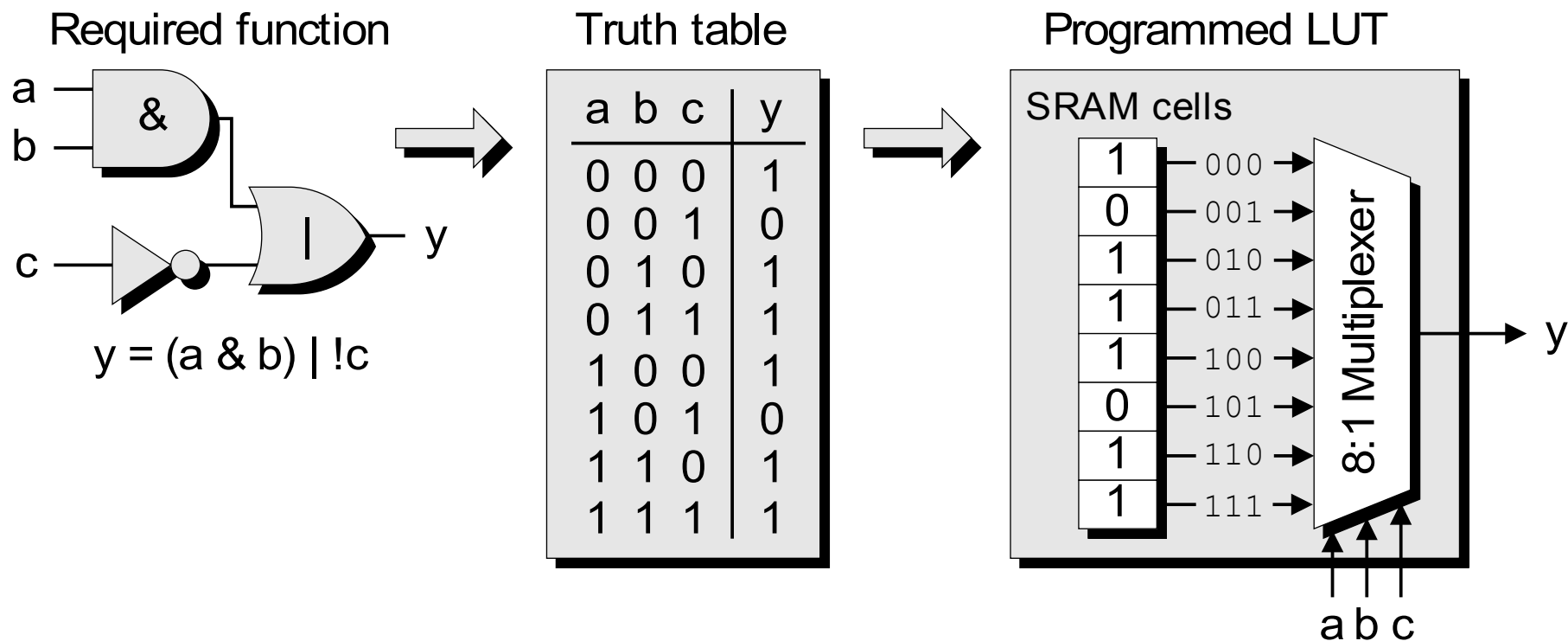
DS077\_01\_052102

- Każdy slice zawiera dwie komórki logiczne



Rysunek: Maxfield C., "The Design Warrior's Guide to FPGAs"

# LUT (Look-Up Table)



Rysunek: Maxfield C., "The Design Warrior's Guide to FPGAs"



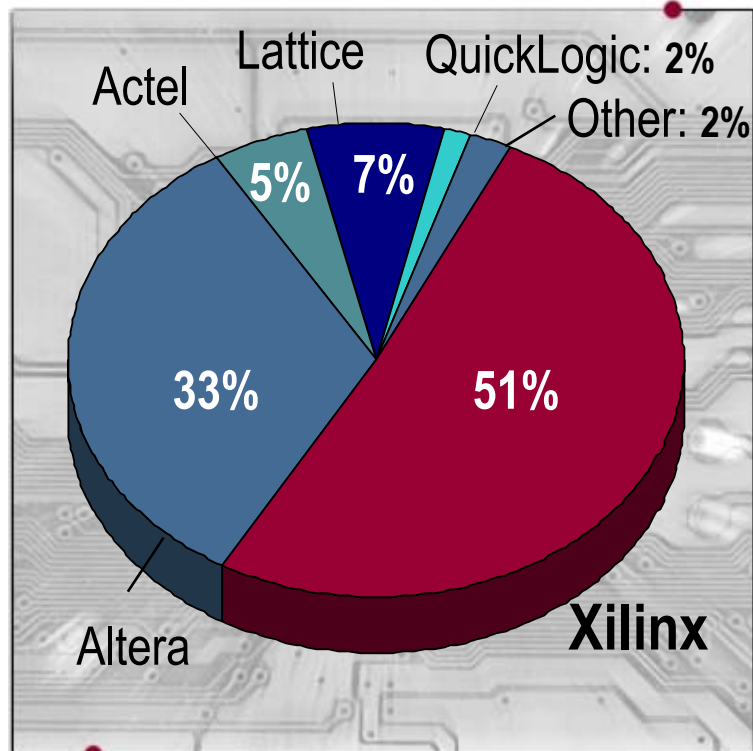


## Wiodący producenci FPGA

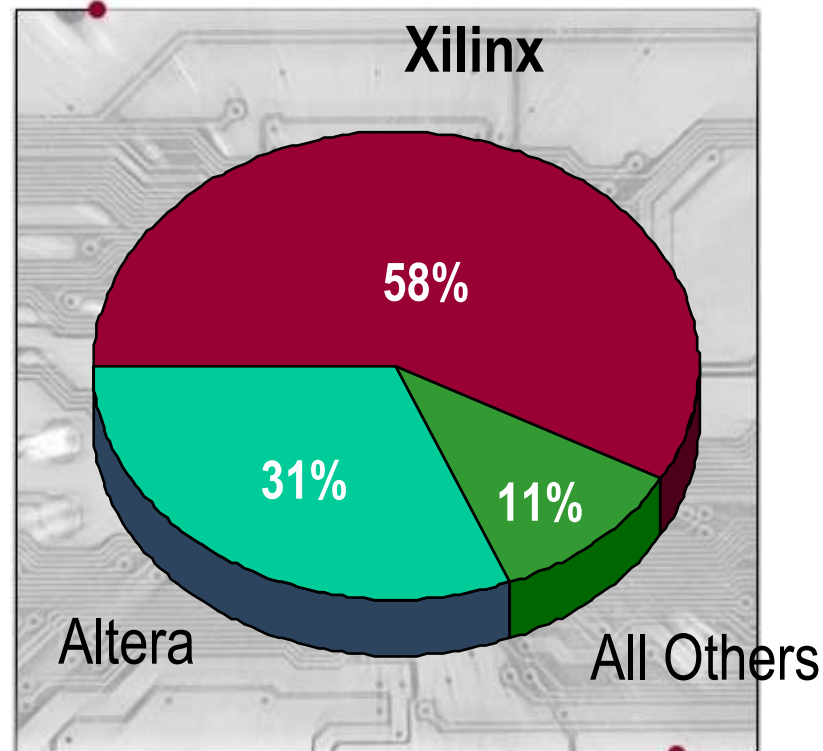
- Xilinx Inc. – [www.xilinx.com](http://www.xilinx.com)
- Altera Corp.– [www.altera.com](http://www.altera.com)
- Atmel Corp.– [www.atmel.com](http://www.atmel.com)
- Lattice Semiconductor Corp. – [www.latticesemi.com](http://www.latticesemi.com)
- Actel Corp.–[www.actel.com](http://www.actel.com)
- QuickLogic Corp. – [www.quicklogic.com](http://www.quicklogic.com)

## Rynek FPGA – Q1 2005

PLD Segment



FPGA Sub-Segment





- Główne produkty: układy FPGA i oprogramowanie do ich projektowania



- Firma nie posiada własnej fabryki półprzewodników
- Produkuje swoje układy w fabrykach:
  - UMC (Taiwan)
    - Xilinx jest udziałowcem w UMC od 1996
  - Seiko Epson (Japan)
  - TSMC (Taiwan)





## Rodziny FPGA firmy Xilinx

- Przewidywane rodziny
  - XC3000, XC4000, XC5200
  - Stare technologie 0.5 $\mu$ m, 0.35 $\mu$ m i 0.25 $\mu$ m. Nie zalecane dla nowych projektów.
- Tanie rodziny
  - Spartan/XL – pochodna XC4000
  - Spartan-II – pochodna Virtex
  - Spartan-IIE – pochodna Virtex-E
  - [Spartan-3](#), [Spartan 3E](#), [Spartan 3L](#)
- Wydajne rodziny
  - Virtex (220 nm)
  - Virtex-E, Virtex-EM (180 nm)
  - Virtex-II, Virtex-II PRO (130 nm)
  - [Virtex-4](#) (90 nm)
  - [Virtex 5](#) (65 nm)





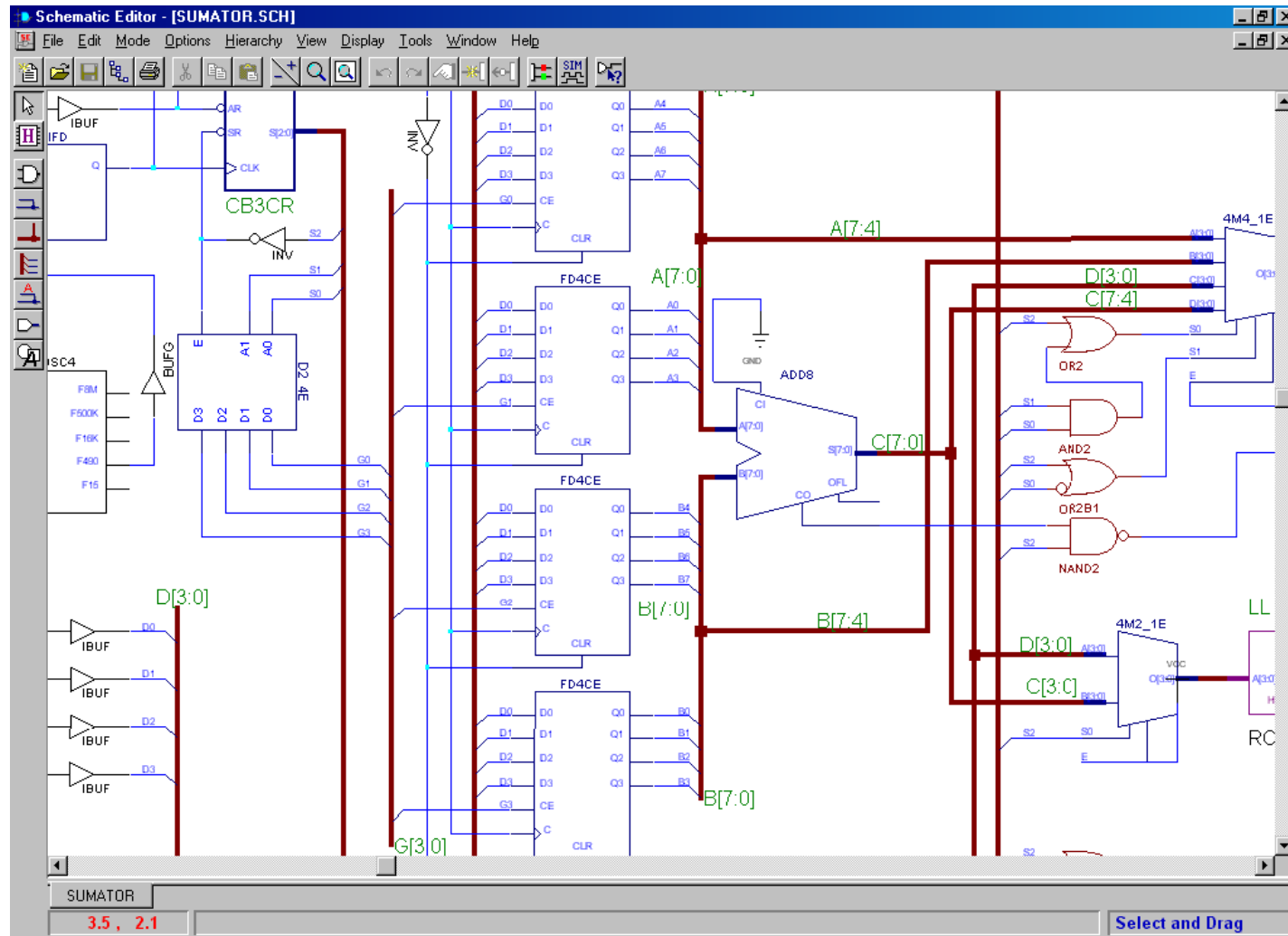
## Podjęcia do zagadnienia projektowania

- Narysować schemat
- Narysować diagram stanów
- Opisać w języku opisu sprzętu (VHDL\*, Verilog, ...)
- Narysować maski

\*VHDL - Very High Speed Integrated Circuits Hardware Description Language

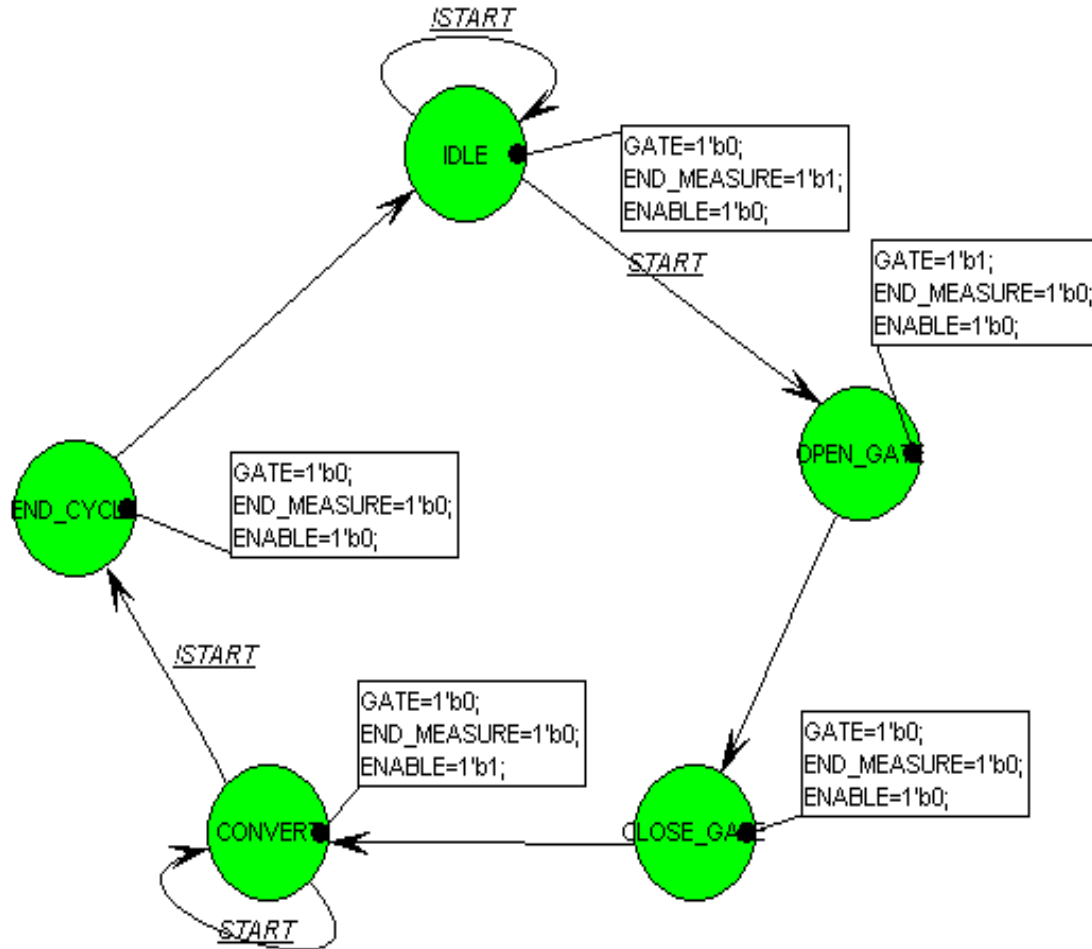


# Narysować schemat

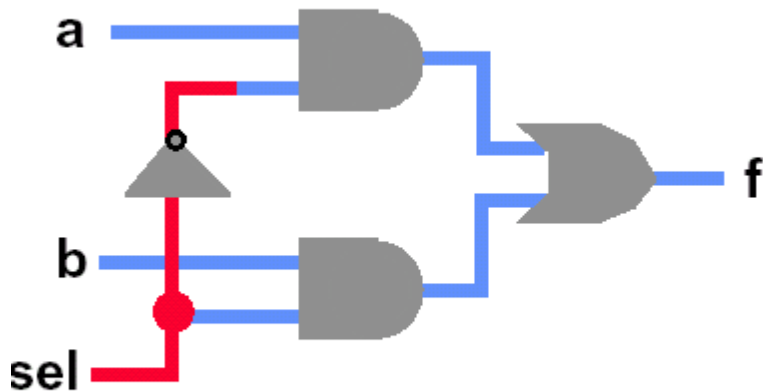




# Narysować diagram stanów



## Opisać w języku opisu sprzętu



```
module mux (f, a, b, sel);  
    output f;  
    input  a, b, sel;  
  
    and #5 g1 (f1, a, nsel),  
          g2 (f2, b, sel);  
    or  #5 g3 (f, f1, f2);  
    not g4 (nsel, sel);  
endmodule
```



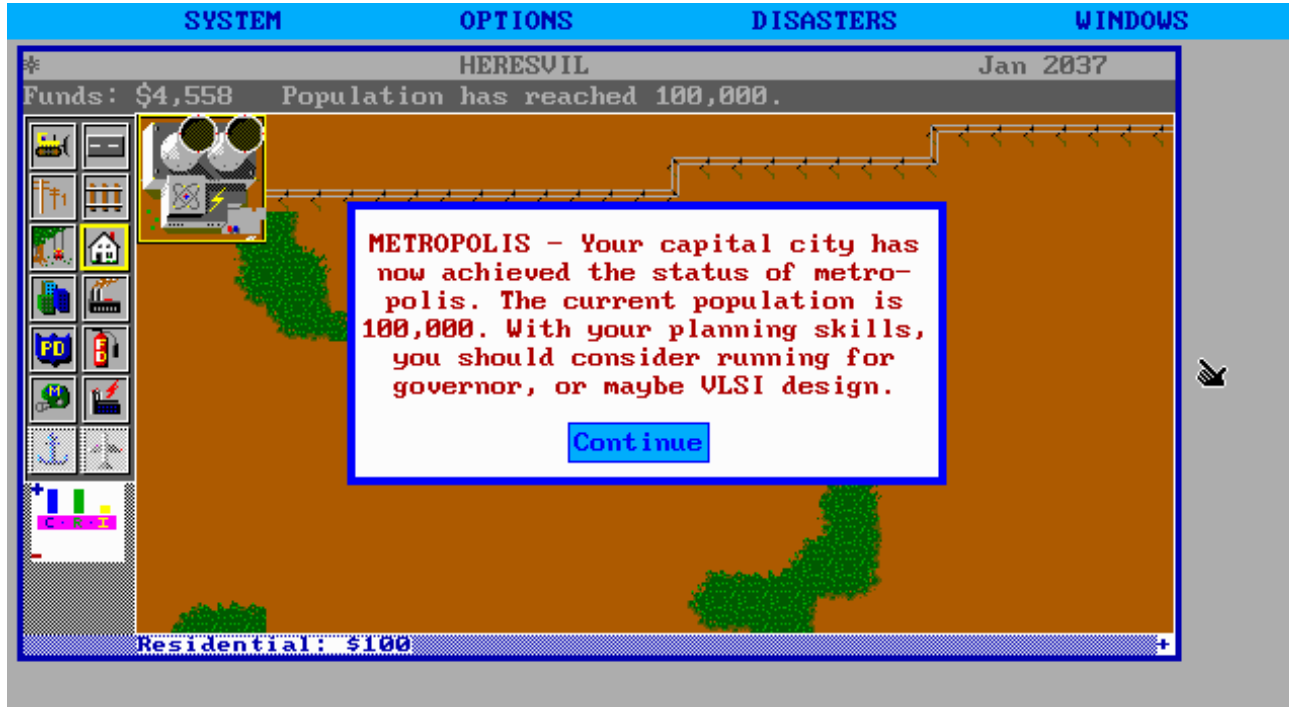


# Narysować maski układu scalonego



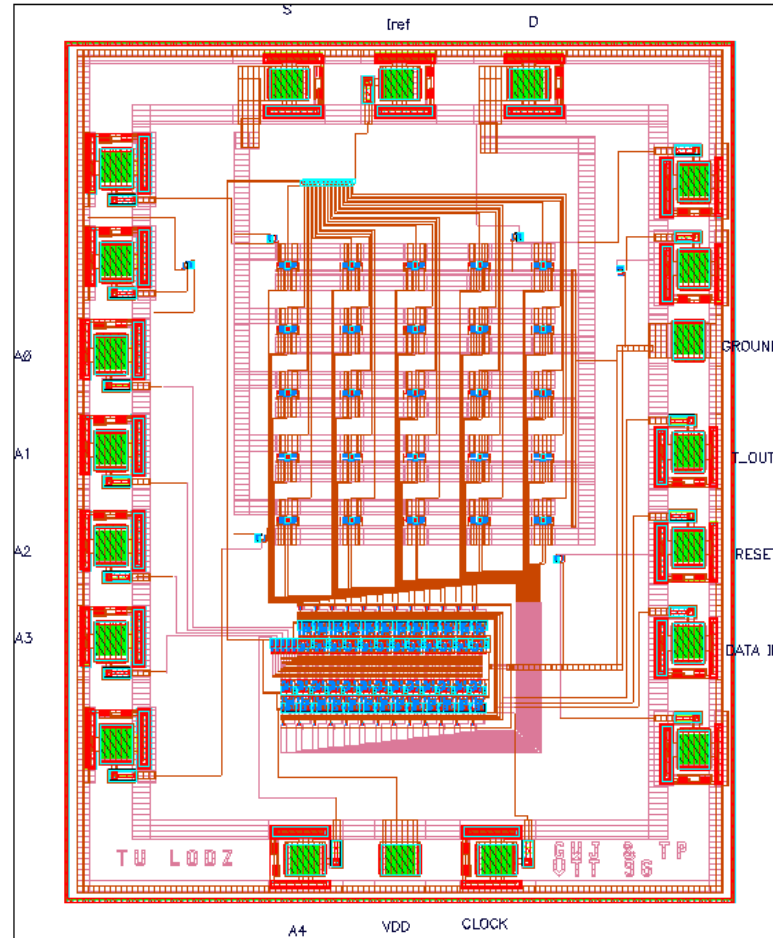


# Narysować maski układu scalonego





# Narysować maski układu scalonego





**KAPITAŁ LUDZKI**  
NARODOWA STRATEGIA SPÓJNOŚCI

**UNIA EUROPEJSKA**  
EUROPEJSKI  
FUNDUSZ SPOŁECZNY



## **„Układy reprogramowalne i SoC” „Wprowadzenie”**

Prezentacja jest współfinansowana przez  
Unię Europejską w ramach  
Europejskiego Funduszu Społecznego w projekcie pt.

*„Innowacyjna dydaktyka bez ograniczeń - zintegrowany rozwój Politechniki Łódzkiej -  
zarządzanie Uczelnią, nowoczesna oferta edukacyjna i wzmacniania zdolności do  
zatrudniania osób niepełnosprawnych”*

Prezentacja dystrybuowana jest bezpłatnie



Politechnika Łódzka

Politechnika Łódzka, ul. Żeromskiego 116, 90-924 Łódź, tel. (042) 631 28 83  
[www.kapitalludzki.p.lodz.pl](http://www.kapitalludzki.p.lodz.pl)